

Electronically-erasable programmable read-only memory - has selection transistor in semiconductor substrate between 2 memory transistors

Patent number: DE4233790

Publication date: 1993-04-15

Inventor: NAKAJIMA MORIYOSHI (JP)

Applicant: MITSUBISHI ELECTRIC CORP (JP)

Classification:

- international: G11C16/04; H01L21/72; H01L27/115

- european: H01L21/336F; H01L21/8247; H01L27/115;
H01L29/788B4

Application number: DE19924233790 19921007

Priority number(s): JP19910261869 19911009; JP19920263984 19921002

Also published as:



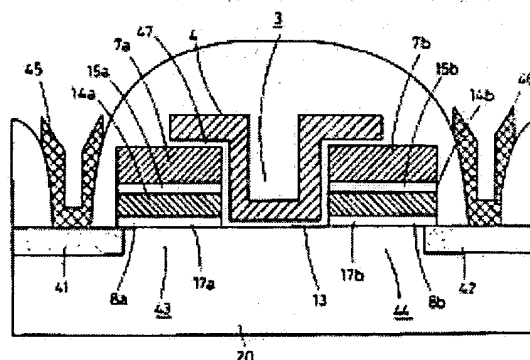
US5412600 (A1)

JP5211338 (A)

Report a data error here

Abstract of DE4233790

The memory has a pair of memory transistors (43, 44) provided in the surface of a semiconductor substrate (20) so that they are spaced by an intermediate zone, each transistor (43, 44) having a floating gate (14a, 14b) for storing information charges and a control gate (7a, 7b) for controlling the floating gate (14a, 14b). The intermediate zone contains a selection transistor (3) for the 2 memory transistors (43, 44). Pref. the selection transistor (3) has a gate electrode (4) part of which overlaps the 2 memory transistors (43, 44) via an intermediate insulation film (47) extending over the control gate (7a, 7b) of each memory transistor (43, 44). ADVANTAGE - Allows high density integration.



Data supplied from the esp@cenet database - Worldwide



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 42 33 790 A 1**

⑤① Int. Cl.⁵:
H01 L 27/115
H 01 L 21/72
G 11 C 16/04

⑳ Aktenzeichen: P 42 33 790.9
㉔ Anmeldetag: 7. 10. 92
㉕ Offenlegungstag: 15. 4. 93

DE 42 33 790 A 1

㉓ Unionspriorität: ㉔ ㉕ ㉖
09.10.91 JP 3-261869 02.10.92 JP 4-263984

㉗ Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

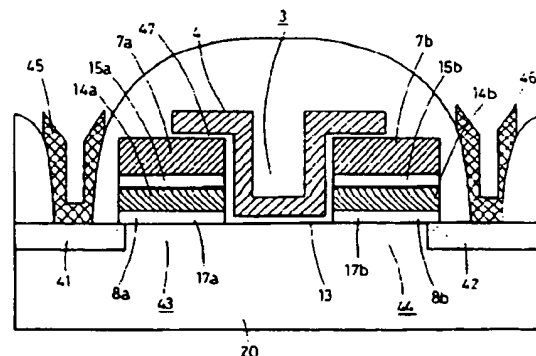
㉘ Vertreter:
Prüfer, L., Dipl.-Phys.; Materne, J.,
Dipl.-Phys.Dr.rer.nat.habil., Pat.-Anwälte, 8000
München

㉚ Erfinder:
Nakajima, Moriyoshi, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ EEPROM, Verfahren zu dessen Herstellung und Verfahren zu dessen Betreiben

⑤⑦ Ein EEPROM mit einem für hochdichte Integration geeigneten Aufbau und geringem Stromverbrauch enthält Source-/Drain-Gebiete (41, 42), die in der Hauptoberfläche eines p-Siliziumsubstrates gebildet sind und ein Paar von Speichertransistoren (43, 44), die dazwischen gebildet sind, sowie einen Auswahltransistor (3), der zwischen den Speichertransistoren und auf der Hauptoberfläche des p-Halbleitersubstrates (20) gebildet ist. Die Speichertransistoren (43, 44) weisen Steuergates (7a, 7b) und schwimmende Gates (14a, 14b) auf. Das Schreiben und Löschen von Daten werden unter Ausnutzung des F-N-Tunneleffekts in Tunnelgebieten (8a, 8b) ausgeführt.



DE 42 33 790 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf einen elektrisch löschbaren und programmierbaren nichtflüchtigen Nur-Lese-Speicher (im folgenden als EEPROM abgekürzt), spezieller auf eine nichtflüchtige Halbleitereinrichtung, die Miniaturisierung und hochdichte Integration erlaubt, sowie auf ein Verfahren zur Herstellung desselben sowie auf ein Verfahren zum Betreiben desselben.

Fig. 19 ist ein Blockschaltbild, das einen herkömmlichen EEPROM zeigt, bei dem das Schreiben und Löschen von Information elektrisch ausgeführt werden können.

Wie Fig. 19 zeigt, enthält der EEPROM ein Speicherzellenfeld 50, das EEPROM-Zellen aufweist, einen Zeilenadrepuffer 51 zum Empfang eines extern angelegten Zeilenadressesignals, einen Spaltenadrepuffer 52 zum Empfang eines Spaltenadressesignals, einen Zeilendecoder 53 und einen Spaltendecoder 54 zum Decodieren dieser Adresssignale und zum Anlegen von Spannung an eine Wortleitung und eine Bitleitung, die mit der ausgewählten Speicherzelle verbunden sind, einen Leseverstärker 56 zum Lesen eines in der durch die beiden Decoder ausgewählten Speicherzelle gespeicherten Signals über ein Y-Gatter 55, einen Ausgabepuffer 57 zum Ausgeben des gelesenen Signals und einen Steuersignaleingabepuffer 58 zum Empfang eines extern angelegten Steuersignals zur Anlegung desselben an jedes Element der Einrichtung.

Im Betrieb weist der Leseverstärker 56 ein in einer Speicherzelle gespeichertes Signal nach und verstärkt das Signal, um das verstärkte Signal an den Ausgabepuffer 57 anzulegen. Fig. 20 ist ein Schaltbild, das Beispiele für das in Fig. 19 gezeigte Speicherzellenfeld 50 und Y-Gatter 55 zeigt.

Wie Fig. 20 zeigt, enthält das Y-Gatter 55 einen zwischen eine I/O(Ein-/Ausgabe)-Leitung 59 und eine Bitleitung 31 geschalteten Transistor 60 und einen zwischen eine CG(Steuergatter)-Leitung 61 und eine Steuergatterleitung 62 geschalteten Transistor 63. Ein Y-Steuersignal Y2 wird an die Gates der Transistoren 60 und 63 angelegt. Ein Transistor, an den ein Y-Steuersignal Y1 angelegt wird, hat einen ähnlichen Anschluß.

Speicherzellen von vier Bit sind im Speicherzellenfeld 50 gezeigt. Eine Speicherzelle enthält einen Speichertransistor 6 mit einem schwimmenden Gate und einen Auswahltransistor 3, dessen Gate mit einer Wortleitung 32 verbunden ist, um ein im Speichertransistor 6 gespeichertes Signal an die Bitleitung 31 anzulegen. Ein weiterer Transistor 3a hat eine solche Verbindung, daß sein Gate mit der Wortleitung 32 verbunden ist, und legt ein Signal von der Steuergatterleitung 62 an den Speichertransistor 6 an.

Im Betrieb speichert der Speichertransistor 6 ein binäres Signal in Abhängigkeit davon, ob Elektronen in seinem schwimmenden Gate gespeichert sind oder nicht. Wenn Elektronen gespeichert sind, steigt die Schwellspannung des Speichertransistors 6 an. Dies bewirkt, daß der Speichertransistor 6 in seinem Lesevorgang ausgeschaltet wird. Wenn keine Elektronen gespeichert sind, wird die Schwellspannung des Speichertransistors 6 auf negatives Potential gezogen. Dies führt zu einem Einschalten des Speichertransistors 6 in seinem Lesevorgang.

Eine Spannung zur Verwendung beim Lesen vom Leseverstärker 56 wird über den Transistor 60 an die Bitleitung 31 angelegt, und die Spannung wird weiter über

den Auswahltransistor 3 an den Speichertransistor 6 angelegt. Dies ermöglicht im Leseverstärker einen Nachweis, ob durch den Speichertransistor 6 ein Strom fließt oder nicht, und damit können die im Speichertransistor 6 gespeicherten Signale ausgelesen werden.

Fig. 21 ist eine Darstellung, die einen herkömmlichen EEPROM mit einem schwimmenden Gate zeigt.

(A) ist eine Draufsicht und (B) ist eine Querschnittsdarstellung längs der Linie B-B in (A). In Verbindung mit Fig. 13 wird jetzt eine Beschreibung des Aufbaus des EEPROM gegeben.

Der EEPROM enthält einen Speichertransistor 6 und einen Auswahltransistor 3, die auf einer Hauptoberfläche eines p-Silizium-Halbleitersubstrates 20 gebildet sind. Der Speichertransistor 6 enthält eine Tunnel-Dotierungsdiffusionsschicht 9, die in der Hauptoberfläche des p-Siliziumsubstrates 20 gebildet ist und ein Drain-Gebiet sein soll, ein Source-Gebiet 2, eine dünne Tunnel-Isolierschicht 16, die in einem vorbestimmten Gebiet auf der Tunnel-Dotierungsdiffusionsschicht 8 gebildet ist, ein schwimmendes Gate 14 aus Polysilizium, die mit einem Isolierfilm dazwischen in einem Gebiet über dem p-Siliziumsubstrat 20 gebildet ist, das mindestens den Tunnel-Isolierfilm 16 einschließt, und ein auf dem schwimmenden Gate 14 mit einem Zwischenschicht-Siliziumoxidfilm 15 dazwischen gebildetes Steuergate 7. Das Steuergate 7 und das schwimmende Gate ("floating Gate") 14 bilden im Gebiet, in dem sie einander überlappen, unter Einbeziehung des Zwischenschicht-Siliziumoxidfilms 15 eine Kapazität. Die Tunnel-Diffusionsschicht 9, die mit dem schwimmenden Gate 14 verbunden ist, und eine Dotierungsdiffusionsschicht zum Verbinden 5 bilden eine Kapazität in dem Gebiet, in dem der Tunnel-Isolierfilm 16 gebildet ist, unter Einbeziehung des Tunnel-Isolierfilms 16. Weiterhin existiert eine durch das schwimmende Gate 14 und das Halbleitersubstrat 20 in dem anderen Gebiet als demjenigen des Tunnel-Isolierfilms 16 gebildete Kapazität.

Das schwimmende Gate 14 speichert elektrische Ladungen. Die Entladung/Injektion elektrischer Ladungen findet zwischen dem schwimmenden Gate 14 und der Tunnel-Dotierungsdiffusionsschicht 9 über den Tunnel-Isolierfilm 16 entsprechend der Spannungsdifferenz zwischen dem Steuergate 7 und dem Gebiet der Dotierungsdiffusionsschicht zum Verbinden 5 statt. Der Auswahltransistor 3 enthält die Dotierungsdiffusionsschicht zum Verbinden 5 und das Drain-Gebiet 1, die mit einem Abstand voneinander in der Hauptoberfläche des Halbleitersubstrates 20 gebildet sind, und eine Auswahlgateelektrode 4, die eine Wortleitung darstellt und dazwischen gebildet ist. Ein Auswahlgate-Siliziumoxidfilm 13 ist zwischen der Auswahlgateelektrode 4 und der Hauptoberfläche des Halbleitersubstrates 20 gebildet. Das Drain-Gebiet 1 ist über ein Kontaktloch mit der Bitleitung 31 verbunden.

Der Auswahltransistor 3 wird in Reaktion auf ein über die Auswahlgateelektrode 4 angelegtes Signal ein-/ausgeschaltet. Auf diese Weise wird eine Information, die im mit dem Auswahltransistor 3 verbundenen Speichertransistor 6 gespeichert ist, auf die Bitleitung 31 ausgelesen.

Jetzt wird eine Beschreibung des Betriebs des EEPROM gegeben. Der EEPROM hat drei grundlegende Betriebsarten, das Lesen, das Löschen und das Schreiben. Tabelle 1 gibt die an die Elemente angelegten Spannungen an, wenn Informationen darstellende Ladungen in schwimmende Gates 14 geschrieben, in diesen gelöscht und aus diesen ausgelesen werden.

Tabelle 1

Element	Lesen	Löschen	Schreiben
Auswahlgate-elektrode 4	5 V	V _{PP}	V _{PP}
Steuergate 7	0 V	V _{PP}	0 V
Bitleitung 31	1 V	0 V	V _{PP}
Source-Leitung	0 V	0 V	schwimmend
schwimmendes Gate 14	V _F	V _E	V _W

V_{PP} stellt eine Programmierungsspannung dar, V_F ist ein Potential zum Zeitpunkt des Schwimmens und V_W und V_E sind die Potentiale des schwimmenden Gates 14 während der Schreib- und Löschvorgänge.

Wie in Tabelle 1 angegeben, wird beim Löschen einer Speicherzelle V_{PP} an die Auswahlgateelektrode 4 und das Steuergate 7 angelegt, und die Bitleitung 31 und die Source-Leitung 12 sind auf Masse gelegt. In diesem Löschzyklus werden über den Tunnelisolierfilm 16 aus der Störstördiffusionsschicht zum Verbinden 5 in das schwimmende Gate 14 Elektronen injiziert. Im Ergebnis dessen werden auf dem schwimmenden Gate 14 negative Ladungen angesammelt.

Wie in Tabelle 1 angegeben, wird bei einem Vorgang des Einschreibens in eine Speicherzelle V_{PP} an die Auswahlgateelektrode 4 und die Bitleitung 31 angelegt. Das Steuergate 7 ist auf Masse gelegt, und die Source-Leitung 12 ist in einem schwimmenden Zustand gehalten. Dann ist das Gebiet zwischen der Drain 1 und der Dotierungsdiffusionsschicht zum Verbinden 5 leitend, Elektronen werden vom schwimmenden Gate 14 über den Tunnel-Isolierfilm 16 aufgrund eines später zu beschreibenden physikalischen Prinzips abgeführt, und positive Ladungen werden auf dem schwimmenden Gate 14 angesammelt. Beim Auslesen werden 5 V an die Auswahlgateelektrode 4 angelegt, 1 V wird an die Bitleitung 31 angelegt, und das Steuergate 7 und die Source-Leitung 12 sind auf Masse gelegt. Das Kanalgebiet 10 des Speichertransistors wird in Abhängigkeit vom Potential des schwimmenden Gates ein-/ausgeschaltet. Spezieller werden, wenn der Speichertransistor im Zustand des Löschens ist, negative Ladungen auf dem schwimmenden Gate 14 angesammelt, und das Kanalgebiet 10 wird dadurch ausgeschaltet. Umgekehrt werden, wenn der Speichertransistor im Zustand eingeschriebener Daten ist, negative Ladungen nicht auf dem schwimmenden Gate 14 angesammelt, und damit bleibt das Kanalgebiet 10 eingeschaltet. Auf diese Weise wird der Zustand des Speichertransistors bestimmt.

Fig. 22 ist ein Ersatzschaltbild, das den in Fig. 21 gezeigten EEPROM darstellt. C1 stellt eine Tunnelkapazität, die im Tunnelgebiet gebildet ist, dar. C2 ist eine Kapazität, die aus dem schwimmenden Gate 14, dem Steuergate 7 und dem dazwischen vorhandenen Zwischenschicht-Siliziumoxidfilm 15 gebildet ist. C3 ist eine parasitische Kapazität und wird durch das schwimmende Gate 14, die darunter gebildete Dotierungsdiffusionsschicht 9 und den dazwischen existierenden Tunnel-Isolierfilm 16 gebildet. Fig. 22 (A) zeigt einen Zustand, in dem der EEPROM nicht arbeitet. Wenn im Löschbetrieb, wie er zum Beispiel in Tabelle 1 angegeben ist, V_{PP} an das Steuergate 7 angelegt wird, ist die Tunnel-Dotierungsdiffusionsschicht 9 auf Masse gelegt, und das Ersatzschaltbild ist zu diesem Zeitpunkt das in

Fig. 22 (B) gezeigte. Das Potential V_F zu dieser Zeit wird wie folgt ausgedrückt:

$$V_F = C_2 / (C_1 + C_2 + C_3) \Phi V_{PP} \quad (1)$$

worin C₂/(C₁ + C₂ + C₃) als Kapazitäts-Kopplungsverhältnis bezeichnet wird und üblicherweise etwa 0,7 beträgt. Die Größe des elektrischen Feldes im Tunnel-Isolierfilm und der Betrag der durch den Tunnel-Isolierfilm fließenden Ladungen werden durch die folgenden Gleichungen dargestellt:

$$E_{OX} = V_F / T_{OX} \quad (2)$$

$$J = A E_{OX}^2 \exp - (B / E_{OX}) \quad (3)$$

worin E_{OX} das elektrische Feld, T_{OX} die Dicke des Tunnel-Isolierfilms, J ein Strom und A und B Konstanten sind.

Einsetzen der Gleichung (2) in die Gleichung (1) mit einem Kapazitäts-Kopplungsverhältnis von 0,7 und T_{OX} von 10 nm führt zu E_{OX} = 14 MV/cm.

Einsetzen dieses Wertes in Gleichung (3) führt zu einem hinreichend großen Wert von J. Dies liegt daran, daß der EEPROM sich in einem Anreicherungs-Zustand befindet. Unter Verwendung dieses Wertes werden Elektronen zwischen dem schwimmenden Gate 14 und dem Dotierungsgebiet 9 des Substrates durch den Tunnelisolierfilm entladen bzw. injiziert.

Es wurde eine kurze Beschreibung eines herkömmlichen EEPROM gegeben.

Jetzt wird eine Beschreibung eines Verfahrens zur Herstellung des herkömmlichen EEPROM gegeben. Ein Oxidfilm 74, der ein Tunnel-Isolierfilm 16 werden soll, wird auf einem p-Siliziumsubstrat 20 gebildet, und darauf wird Polysilizium 70 abgeschieden. Ein vorbestimmter Teil des Polysiliziums 70 wird mit einem Resist 77 bedeckt (Fig. 23 (A)).

Ein Isolierfilm 80 wird auf dem in eine vorbestimmte Länge gemusterten Polysilizium 70 gebildet, und eine Polysiliziumschicht 71 wird auf die Isolierfilme 80 und 74 abgeschieden. Vorbestimmte Teile der Polysiliziumschicht 71 werden mit Resisten 78 und 79 beschichtet (Fig. 23 (B)).

In diesem Zustand wird ein Ätzen ausgeführt, und die Polysiliziumschicht wird gemustert, wodurch der Auswahltransistor 3 und der Speichertransistor 6 gebildet werden, wie in Fig. 23 (C) gezeigt. Der Auswahltransistor 3 enthält ein Auswahlgate 4 und einen Auswahlgate-Siliziumoxidfilm 13, während der Speichertransistor 6 ein Steuergate 7, einen Zwischenschicht-Siliziumfilm 15, ein schwimmendes Gate 14 und einen Tunnel-Isolierfilm 16 aufweist. In diesem Zustand werden n-Dotanden eingeführt, wodurch das Drain-Gebiet 1, das Source-Gebiet 2 und die Dotierungsdiffusionsschicht zum Verbinden 5 gebildet werden.

Dann sind das Drain-Gebiet 1 und das Source-Gebiet 2 gebildet, und Metallverbindungs-schichten 11 und 12 sowie ein Zwischenschichtisolierfilm 76 werden gebildet, wobei der letztere den Auswahltransistor 3 und den Speichertransistor 6 bedeckt (Fig. 23 (D)).

Fig. 24 ist ein Ersatzschaltbild für den Fall, daß die herkömmlichen EEPROM-Zellen in Fig. 13 als Speicherzellenfeld 50 angeordnet sind. Die Auswahltransistoren 3a und 3b und Speichertransistoren 6a und 6b sind so angeordnet, wie in Fig. 24 gezeigt.

Jetzt wird eine Beschreibung eines herkömmlichen EEPROM vom "Flash"-Typ gegeben. Fig. 25 ist eine

Darstellung, die schematisch den Aufbau eines herkömmlichen EEPROM vom "Flash"-Typ zeigt. Wie Fig. 25 zeigt, enthält der herkömmliche "Flash"-EEPROM Speichertransistoren 82a und 82b, die mit einem Abstand voneinander auf der Hauptoberfläche eines p-Halbleitersubstrates 81 mit einem Isolierfilm dazwischen gebildet sind, ein zwischen den Speichertransistoren 82a und 82b und in der Hauptoberfläche des p-Halbleitersubstrates 1 gebildetes Source-Gebiet 83 und auf der der Source 83 der Speichertransistoren 82a und 82b gegenüberliegenden Seite gebildete Drain-Gebiete 84a und 84b. Die Drain-Gebiete 84a und 84b sind mit Metallverbindungsschichten versehen. Die Speichertransistoren 82a und 82b enthalten schwimmende Gates 85a und 85b bzw. Steuergates 86a und 86b.

Nachfolgend wird der Betrieb beschrieben. Der herkömmliche Flash-EEPROM nutzt zum Schreiben den Avalanche-Effekt und zum Löschen den Tunneleffekt aus, der in Verbindung mit dem Betrieb des normalen EEPROM bereits beschrieben wurde. Das Lesen wird auf ähnliche Weise wie beim oben beschriebenen EEPROM ausgeführt. Der Betrieb des EEPROM wird im einzelnen z. B. in der US-Patentschrift 47 97 856 beschrieben.

Die Größe eines herkömmlichen Flash-EPROM kann wie im Falle eines Flash-EEPROM beträchtlich verringert werden.

Ein solcher Flash-EEPROM wird im einzelnen z. B. in "An In-System Reprogrammable 32K-8 CMOS Flash Memory", IEEE JOURNAL OF SOLID STATE CIRCUIT Vol. 23, No. 5, Oct. 1988, oder in der US-Patentschrift 48 68 619 beschrieben.

Mit einer solchen Konfiguration erfordert ein herkömmlicher EEPROM für eine Speicherzelle jeweils einen Auswahltransistor zum Schreiben, Löschen und Lesen von Daten auf einer Bit-Einheitsbasis. Infolgedessen muß die Zellenfläche erweitert werden, was eine hochdichte Integration behindert.

Im Falle eines Flash-EEPROM, der eine höhere Integrationsdichte erlaubt, kann eine elektrisch löschbare, nichtflüchtige Halbleiterspeichereinrichtung ohne das Erfordernis eines Auswahltransistors bereitgestellt werden, in dem zum Schreiben der Avalanche-Effekt ausgenutzt wird. Speziell wird — wie die Fig. 25A und 25B zeigen — während des Schreibens von Daten in den Speichertransistor 82a ein Impuls von etwa 8V für etwa 10 µs an die Drain 84a angelegt, während eine hohe Spannung von etwa 12 V an das Steuergate 86a angelegt wird und die Source 83 und das Substrat 81 auf Masse gelegt sind. Zu diesem Zeitpunkt tritt am Ende der Drain 84a in dem unter dem schwimmenden Gate 85a liegenden Kanalabschnitt ein Avalanche-Effekt auf, und eine große Menge von Ladungen fließt von der Drain 84a zur Source 83 und zum Substrat 81. Zu diesem Zeitpunkt wird ein Teil der Elektronen durch das Potential des schwimmenden Gates 85a, das durch das Potential des Steuergates 86a induziert ist, in das schwimmende Gate 85a hineingezogen. Dieser Schreibvorgang führt zu einem ineffizienten Schreiben und einem großen Stromverbrauch. Außerdem sind bei Verzicht auf den Auswahltransistor zum Zeitpunkt des Lösches der Daten mittels des Tunneleffekts zwischen dem schwimmenden Gate 85a und der Source 83 bestimmte Mittel erforderlich, um zu verhindern, daß der Speichertransistor 82a einen Verarmungszustand annimmt, m. a. W. einen übermäßig gelöschten Zustand, der zu Problemen in den mit ihm verbundenen Schaltungsteilen führen könnte.

Im Ergebnis dessen ist eine sehr genaue Steuerung der Herstellungsbedingungen sowie ein spezielles und kompliziertes Lösungsverfahren erforderlich, um ein sogenanntes Über-Löschen zu vermeiden. Typischerweise werden verschiedene Löschimpulse erzeugt, und es wird zusätzlich ein Speichertest zur Bereitstellung einer Vorrichtung mit ausgewogenen Eigenschaften ausgeführt. Damit werden die Kosten des EEPROM in die Höhe getrieben.

Es ist Aufgabe der Erfindung, einen EEPROM anzugeben, dessen Aufbau ihn für hochdichte Integration geeignet macht, bei dem das Schreiben, Löschen und Lesen von Daten auf Bit-Basis mit verringertem Leistungsverbrauch möglich ist, der einen vereinfachten Schaltungsaufbau aufweist und mit verringerten Kosten herstellbar ist.

Weiter ist es Aufgabe der Erfindung, ein Verfahren zur Herstellung eines solchen EEPROM sowie ein Verfahren zum Betrieb eines derartigen EEPROM anzugeben.

Die genannte Aufgabe der Erfindung kann durch einen folgende Bestandteile aufweisenden EEPROM gelöst werden. Ein EEPROM entsprechend der Erfindung weist ein Halbleitersubstrat mit einer Hauptoberfläche, ein Paar von Speichertransistoren, von denen jeder ein auf der Hauptoberfläche des Halbleitersubstrates gebildetes und einen Abstand von einem anderen aufweisendes schwimmendes Gate und ein Steuergate aufweist, und einen auf der Hauptoberfläche und im Abstandsbe- reich des Speichertransistorpaares gebildeten Auswahltransistor auf.

Für ein Paar von Transistoren wird nur ein Auswahltransistor verwendet, der nicht vom "Flash"-Typ ist und daher keinen großen Leistungsverbrauch aufweist. Damit können sowohl eine hochdichte Integration als auch eine Verringerung des Leistungsverbrauchs bei dem EEPROM, der zum Schreiben, Löschen und Lesen auf einer bitweisen Basis in der Lage ist, erreicht werden.

Nach einem anderen Aspekt der vorliegenden Erfindung weist ein Verfahren zum Betrieb eines EEPROM, der auf der Hauptoberfläche des Halbleitersubstrates in einem Abstand voneinander gebildete erste und zweite Speicherzelle aufweist, wobei beide ein schwimmendes Gate zum Speichern von Informations-Ladungen und ein Steuergate zum Steuern des Zustandes des schwimmenden Gates aufweisen, und der weiter einen Auswahltransistor zwischen der ersten und der zweiten Speicherzelle und auf der Hauptoberfläche des Halbleitersubstrates zur Auswahl der ersten oder der zweiten Speicherzelle aufweist, die folgenden Schritte auf: Im Löschbetrieb wird an das Steuergate der Speicherzelle, deren Wert zu löschen ist, ein vorbestimmtes erstes Potential angelegt, und an das Source-/Drain-Gebiet der Speicherzelle, deren Wert zu löschen ist, wird ein vorbestimmtes zweites, gegenüber dem vorbestimmten ersten Potential niedrigeres Potential angelegt, wodurch Ladungen in das schwimmende Gate der Speicherzelle, deren Wert zu löschen ist, injiziert werden. Im Schreibbetrieb wird an das Steuergate der Speicherzelle, in die ein Wert einzuschreiben ist, ein vorbestimmtes drittes Potential angelegt, und an das Source-/Drain-Gebiet der Speicherzelle, in die ein Wert einzuschreiben ist, wird ein vorbestimmtes viertes Potential, das höher als das vorbestimmte dritte Potential ist, angelegt, wodurch Ladungen vom schwimmenden Gate der Speicherzelle, in die ein Wert einzuschreiben ist, abgeführt werden. Im Lesebetrieb wird an das Steuergate der Speicherzelle, deren Wert auszulesen ist, ein vorbestimmtes fünftes

Potential angelegt, und an den Auswahltransistor und die Speicherzelle, deren Wert nicht auszulesen ist, wird ein vorbestimmtes sechstes Potential, das höher als das vorbestimmte fünfte Potential ist, angelegt, wodurch Ladungen im schwimmenden Gate der ausgewählten Speicherzelle in das Source-/Drain-Gebiet der nichtausgewählten Speicherzelle übertragen werden.

In jeder Betriebsart ermöglicht jeweils das Anlegen vorbestimmter Potentiale an die Gates und Source-/Drain-Gebiete der Speicherzellen und des Auswahltransistors einen Betrieb im Löschen-, Schreib- und Lesemodus. Dies vereinfacht das Betriebsverfahren für den EEPROM, der hoch integriert werden kann und nur einen geringen elektrischen Leistungsverbrauch aufweist.

Nach einem weiteren Aspekt der Erfindung weist ein Verfahren zur Herstellung des EEPROM die folgenden Schritte auf: Bilden einer ersten und einer zweiten Mehrschichtstruktur, die jeweils eine Isolierschicht und eine leitende Schicht enthalten, die mit einem Abstand voneinander auf der Hauptoberfläche eines Halbleitersubstrates eines ersten Leitungstyps mit einer Hauptoberfläche gebildet sind, wobei die erste und die zweite Mehrschichtstruktur eine erste, auf der Hauptoberfläche des Halbleitersubstrates gebildete Isolierschicht und eine erste, auf der ersten Isolierschicht gebildete leitende Schicht, eine zweite, auf der ersten leitenden Schicht gebildete Isolierschicht und eine zweite, auf der zweiten Isolierschicht gebildeten leitenden Schicht aufweisen. Bilden einer dritten leitenden Schicht mindestens zwischen der ersten und zweiten Mehrschichtstruktur und auf der Hauptoberfläche des Halbleitersubstrates, und Bilden eines Dotierungsgebietes eines zweiten Leitungstyps, der sich vom ersten Leitungstyp unterscheidet, in dem Gebiet der ersten und zweiten Mehrschichtstruktur, in dem die dritte leitende Schicht nicht gebildet ist, und in der Hauptoberfläche des Halbleitersubstrates.

Die erste und die zweite Mehrschichtstruktur, die Speicherzellen darstellen sollen, werden mit einem Abstand voneinander auf der Hauptoberfläche des Halbleitersubstrates gebildet, und die dritte leitende Schicht, die Bestandteil eines Auswahltransistors werden soll, wird zwischen den Mehrschichtstrukturen gebildet. Diese Schritte ermöglichen es, einen EEPROM herzustellen, der leicht hoch integriert werden kann und nur einen geringen Leistungsverbrauch aufweist.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Erläuterung von Ausführungsbeispielen anhand der Figuren.

Von den Figuren zeigen

Fig. 1A und 1B Querschnittsdarstellungen eines EEPROM und die an die jeweiligen Elemente des EEPROM angelegte Spannung entsprechend einer ersten Ausführungsform,

Fig. 2 eine Draufsicht einer Speicherzellengruppe eines EEPROM entsprechend der ersten Ausführungsform,

Fig. 3 ein Schaltbild, das eine Speicherzellengruppe zeigt,

Fig. 4 eine Draufsicht eines aus einer Mehrzahl von Speicherzellengruppen gebildeten Speicherzellenfeldes,

Fig. 5 ein Schaltbild eines Speicherzellenfeldes,

Fig. 6 eine Darstellung, in der die Potentiale der Leitungen beim Löschen angegeben sind,

Fig. 7 eine Darstellung, in der die Potentiale der Leitungen beim Schreiben angegeben sind,

Fig. 8 eine Darstellung, in der die Potentiale der Lei-

tungen beim Lesen angegeben sind,

Fig. 9(A) bis 9(C) Darstellungen, die ein Verfahren zur Herstellung eines EEPROM entsprechend der ersten Ausführungsform zeigen,

Fig. 10(A) und 10(B) Darstellungen, die ein Verfahren zur Herstellung eines EEPROM entsprechend der ersten Ausführungsform zeigen,

Fig. 11 eine Querschnittsdarstellung eines EEPROM nach einer zweiten Ausführungsform,

Fig. 12 eine Querschnittsdarstellung eines EEPROM entsprechend einer dritten Ausführungsform,

Fig. 13 eine Querschnittsdarstellung eines EEPROM entsprechend einer vierten Ausführungsform,

Fig. 14 eine Querschnittsdarstellung eines EEPROM entsprechend einer fünften Ausführungsform,

Fig. 15 eine Querschnittsdarstellung eines EEPROM entsprechend einer sechsten Ausführungsform,

Fig. 16 eine Querschnittsdarstellung eines EEPROM entsprechend einer siebenten Ausführungsform,

Fig. 17 eine Querschnittsdarstellung eines EEPROM entsprechend einer achten Ausführungsform,

Fig. 18 eine Querschnittsdarstellung eines EEPROM entsprechend einer neunten Ausführungsform,

Fig. 19 ein Blockschaltbild eines herkömmlichen EEPROM,

Fig. 20 ein Schaltbild, das ein Speicherzellenfeld und ein Y-Gatter darstellt,

Fig. 21(A) und 21(B) eine Draufsicht und eine Querschnittsdarstellung eines herkömmlichen EEPROM,

Fig. 22(A) und 22(B) Ersatzschaltbilder des in Fig. 13 gezeigten EEPROM,

Fig. 23 eine Darstellung, die ein Herstellungsverfahren für einen herkömmlichen EEPROM verdeutlicht,

Fig. 24 ein Schaltbild, das ein aus einem herkömmlichen EEPROM gebildetes Speicherzellenfeld zeigt, und

Fig. 25A und 25B eine Querschnittsdarstellung eines herkömmlichen EEPROM vom "Flash"-Typ und ein Ersatzschaltbild desselben.

1) Erste Ausführungsform

Wie die Fig. 1A und 1B zeigen, enthält ein EEPROM entsprechend der ersten Ausführungsform eine erste Source-/Drain-Diffusionsschicht 41, die in einem p-Siliziumsubstrat 20 gebildet ist, eine zweite Source-/Drain-Diffusionsschicht 42, die gegenüber der ersten Source-/Drain-Diffusionsschicht 41 im p-Siliziumsubstrat 20 gebildet ist, einen zur ersten Source-/Drain-Diffusionsschicht 41 benachbarten und aus einer ersten Gate-Siliziumoxidschicht 17a, einem schwimmenden Gate 14a, einem Zwischenschicht-Siliziumoxidfilm 15a und einem Steuergate 7a gebildeten ersten Speichertransistor 43, einen zum zweiten Source-/Drain-Diffusionsgebiet 42 benachbarten und aus einem ersten Gate-Siliziumoxidfilm 17b, einem schwimmenden Gate 14b, einem Zwischenschicht-Siliziumoxidfilm 15b und einem Steuergate 7b gebildeten zweiten Speichertransistor 44, und einem auf der Hauptoberfläche des p-Siliziumsubstrates 20 und zwischen dem ersten Speichertransistor 43 und dem zweiten Speichertransistor 44 gebildeten Auswahlgate 4. Auf der ersten Source-/Drain-Diffusionsschicht 41 ist zur Verbindung mit einer Bitleitung ein erster Source-/Drain-Kontakt 45 vorgesehen, und auf der zweiten Source-/Drain-Diffusionsschicht 42 ist zur Verbindung mit einer Bitleitung ein zweiter Source-/Drain-Kontakt 46 vorgesehen. Ein zweiter Zwischenschichtisolierfilm 47 ist zur Isolation zwischen der Auswahlgateelektrode 4 des Auswahltransistors 3 den entspre-

chenden Steuergates 7a und 7b und den schwimmenden Gates 14a und 14b des ersten und zweiten Speichertransistors 43 und 44 vorgesehen.

Wie die Fig. 1A, 1B und 4 zeigen, bilden der erste Speichertransistor 43, der zweite Speichertransistor 44, die erste Source-/Drain-Diffusionsschicht 41, die zweite Source-/Drain-Diffusionsschicht 42 und der Auswahltransistor 3 zwischen dem ersten und dem zweiten Speichertransistor 43 und 44 eine Speicherzellgruppe 40. Um Potentialsignale vom ersten Source-/Drain-Kontakt 45 und vom zweiten Source-/Drain-Kontakt 46 an eine periphere Schaltung zu übertragen, sind eine erste bzw. eine zweite Bitleitung 48 und 49 vorgesehen.

Entsprechend der Erfindung ist der Auswahltransistor 3 zwischen dem ersten Speichertransistor 43 und dem zweiten Speichertransistor 44 angeordnet, und ein durch den Auswahltransistor 3 unterhalb des Auswahlgate-Siliziumoxidfilms 13 gebildeter Kanal verbindet den ersten Speichertransistor 43 und den zweiten Speichertransistor 44. Die gegenüberliegenden Enden der Auswahlgateelektrode 4 des Auswahltransistors 3 erstrecken sich auf den Steuergates 7a und 7b des ersten und des zweiten Speichertransistors 43 und 44 mit einem zweiten Zwischenschichtisolierfilm 47 dazwischen. Die ersten Gate-Siliziumoxidfilme 17a und 17b des ersten und des zweiten Speichertransistors 43 und 44 sind mit etwa 100 Å sehr dünn gebildet. Die schwimmenden Gates 14a und 14b des ersten und des zweiten Speichertransistors 43 und 44 überlappen die erste Source-/Drain-Diffusionsschicht 41 bzw. die zweite Source-/Drain-Diffusionsschicht 42 mit einer Länge von etwa 0,1–0,2 µm mit den ersten Gate-Siliziumoxidfilmen 17a und 17b dazwischen. Im ersten Speichertransistor 43 bzw. im zweiten Speichertransistor 44 sind Tunnelgebiete 8a und 8b in den Überlappungsgebieten der schwimmenden Gates 14a und 14b und der ersten Source-/Drain-Diffusionsschicht 41 und der zweiten Source-/Drain-Diffusionsschicht 42 mit den ersten Gate-Siliziumoxidfilmen 17a und 17b dazwischen gebildet. Der erste Speichertransistor 43 enthält die erste Source-/Drain-Diffusionsschicht 41, die gestapelten Elektroden 14a und 15a und ein unterhalb der Auswahlleitung 4 gebildetes virtuelles Source-/Drain-Gebiet. Die zweite Source-/Drain-Schicht 42 ist durch einen Inversionskanal unter dem zweiten Speichertransistor 42 und dem Auswahlgate 4 des Auswahltransistors 3 funktionell ausgedehnt – wie bei 42a in Fig. 1A gezeigt –, wenn die letzteren Transistoren leitend gemacht sind, was effektiv die zweite Source-/Drain bis in eine Position unterhalb des Auswahlgates 4 ausdehnt. Damit funktioniert das Gebiet unter dem Auswahlgate 4 als ein virtuelles Source-/Drain-Gebiet des ersten Speichertransistors 43.

Andererseits enthält der zweite Speichertransistor 44 die zweite Source-/Drain-Schicht 42, die gestapelten Elektroden 7b und 15b und ein virtuelles Drain-/Source-Gebiet unter dem Auswahlgate 4. Der Auswahltransistor 3 enthält das Auswahlgate 4 und virtuelle Source-/Drain-Gebiete, die in den Kanalgebieten unterhalb der gestapelten Elektroden 7a, 15a und 7b, 15b gebildet sind, wenn die Speichertransistoren 43 und 44 leitend gemacht sind.

Nachfolgend wird unter Bezugnahme auf die Fig. 1A und 1B der Betrieb des EEPROM entsprechend der ersten Ausführungsform beschrieben. Wie für das Löschen von Daten, wird eine Spannung zum Schreiben von etwa 20 V an das Steuergate 7a des ersten Speichertransistors 43 angelegt. Die erste Source-/Drain-Diffu-

sionsschicht 41 ist zu dieser Zeit auf Masse gelegt, und ein hohes elektrisches Feld von etwa 13 MV/cm wird im Tunnelgebiet 8a erzeugt. Elektronen werden aus der ersten Source-/Drain-Diffusionsschicht 41, die auf Masse liegt, durch einen Fowler-Nordheim (F-N)-Tunnelstrom in das schwimmende Gate 14a injiziert, wodurch der erste Speichertransistor 43 in den Zustand der Anreicherung gebracht wird. In diesem Falle bewirkt eine Optimierung des kapazitiven Kopplungsverhältnisses oder der Spannung zum Einschreiben in den Speichertransistor 6a, daß die Schwellspannung (V_{th}) des Speichertransistors nach dem Löschen zwischen 2 und 3V liegt. Für den zweiten Speichertransistor 44 wird das Löschen auf ähnliche Weise ausgeführt, wobei anstelle der ersten Source-/Drain-Diffusionsschicht 41 die zweite Source-/Drain-Diffusionsschicht 42 verwendet wird.

Beim Schreiben von Daten wird das Steuergate 7a des ersten Speichertransistors 43 auf Masse gelegt und eine Spannung zum Löschen von etwa 20 V wird an die erste Source-/Drain-Diffusionsschicht 41 angelegt. Elektronen werden aus dem schwimmenden Gate 14a heraus zur ersten Source-/Drain-Diffusionsschicht 41 gezogen. Das Herausziehen von Elektronen aus dem schwimmenden Gate 14a des Speichertransistors 43 bringt die Schwellspannung des Speichertransistors 43 auf –3 V und darunter, womit ein Verarmungs-Zustand geschaffen ist. Für den zweiten Speichertransistor 44 wird der Schreibvorgang auf ähnliche Weise unter Verwendung der zweiten Source-/Drain-Diffusionsschicht 42 anstelle der ersten Source-/Drain-Diffusionsschicht 41 ausgeführt.

Das Lesen von Daten wird für eine ganze Speicherzellgruppe 40, die aus dem ersten und dem zweiten Speichertransistor 43 und 44, der ersten Source-/Drain-Diffusionsschicht 41, der zweiten Source-/Drain-Diffusionsschicht 42 und dem Auswahltransistor zwischen dem ersten und dem zweiten Speichertransistor 43 und 44 gebildet ist, ausgeführt. Speziell wird ein Potential von etwa 5 V höher als der Schwellwert des Auswahltransistors 3 (etwa 0,5 V) an die Auswahlgateelektrode 4 des Auswahltransistors 3 zum Zeitpunkt des Lesens des Zustands des ersten Speichertransistors 43 angelegt, wodurch der Kanal des Auswahltransistors 3 eingeschaltet wird. Außerdem wird eine Gate-Spannung von etwa 5 V höher als die Schwellspannung des zweiten Speichertransistors 44 zur Zeit des Löschens an das Steuergate 7b des nicht-ausgewählten zweiten Speichertransistors 44, der zur gleichen Speicherzellgruppe wie der ausgewählte Speichertransistor 43 gehört, angelegt. Im Ergebnis dessen ist der Kanal des schwimmenden Gates 14b des zweiten Speichertransistors 44 unabhängig vom Elektronenspeicherzustand im schwimmenden Gate 14b eingeschaltet. Das Steuergate 7a des ausgewählten ersten Speichertransistors 43 liegt auf Masse. Der Kanal des ersten Speichertransistors 43 ist nicht eingeschaltet, wenn der erste Speichertransistor 43 im Zustand des Löschens, m. a. W. im Anreicherungs-Zustand ist, indem das Steuergate 7a des ersten Speichertransistors 43 auf Masse gelegt wird. Außerdem wird, wenn ein Wert in den ersten Speichertransistors 43 einzuschreiben ist, der Kanal des ersten Speichertransistors 43 auch dann eingeschaltet, wenn das Steuergate 7a auf Masse liegt, weil der Kanal des ersten Speichertransistors 43 zu dieser Zeit im Verarmungs-Zustand ist. In diesem Zustand wird ein Potential von etwa 1 V von der ersten Bitleitung über den ersten Source-/Drain-Kontakt 45 an die erste Source-/Drain-Diffusions-schicht angelegt, und Massepotential wird von der zwei-

ten Bitleitung 49 über den zweiten Source-/Drain-Kontakt 46 an die zweite Source-/Drain-Diffusionsschicht angelegt. Der Zustand des ersten Speichertransistors 43 ist durch das Vorhandensein oder die Abwesenheit eines Stroms über die erste Bitleitung 48 und die zweite Bitleitung 49 bestimmt. Mit anderen Worten, wenn von der ersten Bitleitung 48 ein Strom zur zweiten Bitleitung 49 fließt, ist der erste Speichertransistor 43 im Verarmungs-Zustand, wenn nicht, ist er im Anreicherungs-Zustand.

Oben wurde der Betrieb der Speicherzellgruppe 40 beschrieben, und es sind Maßnahmen zur Unterdrückung von Beeinflussungen zwischen einer ausgewählten Speicherzellgruppe 40 und einer nicht-ausgewählten Speicherzellgruppe 40 beim Betrieb dieser Zellen erforderlich. Insbesondere sind Maßnahmen zur Verhinderung eines irrtümlichen Einschreibens oder Löschens in die bzw. der nicht-ausgewählten Speicherzellgruppe nötig, wenn ein Löschen oder Schreiben von Daten der bzw. in die ausgewählte Speicherzellgruppe 40 in einem aus einer Mehrzahl aus Speicherzellgruppen 40 bestehenden Speicherzellularfeld ausgeführt wird. Fig. 4 ist eine Draufsicht, die ein solches Speicherzellenfeld zeigt, und Fig. 5 zeigt das Schaltungs-Layout des Speicherzellenfeldes. Das durch die gepunktete Linie in Fig. 5 ungegebene Gebiet entspricht einer Speicherzellgruppe 40. Speichertransistoren M111, M112 ... sind mit Bitleitungen B1, B2 ... verbunden, und Steuergateleitungen C11, C12 ... und Auswahltransistoren ST11, ST12 ... sind mit Wortleitungen W1, W2 ... verbunden.

Nachfolgend wird unter Bezugnahme auf die Fig. 5 bis 8 der Betrieb in einem Speicherzellenfeld beschrieben.

Das Löschen wird auf einer 1-Byte- gleich 8-Bit-Basis, die eine Informations-Grundeinheit darstellt, ausgeführt. Eine hohe Spannung "H" von etwa 20 V wird nur an eine ausgewählte Steuergateleitung C12 angelegt, so daß ein Löschen der Information aus den Speichertransistoren M121, M122, M123, M124 und M125 ausgeführt wird, ohne daß die anderen, nicht-ausgewählten Speichertransistoren beeinflusst werden. Wenn gewünscht wird, daß nur der durch einen Kreis bezeichnete Transistor M123 gelöscht wird, wird die Bitleitung B2 auf Massepotential "L" gezogen, wobei die anderen Bedingungen dieselben bleiben, und ein mittleres Potential "M" von etwa 7 V wird an die anderen Bitleitungen B1, B3 und B4 angelegt, wodurch ein selektives Löschen der Information ermöglicht wird. Die Potentialzustände der Bitleitungen B1 bis B5, der Steuergateleitungen C11 bis C22 und der Wortleitungen W1 und W2 sind in Fig. 8 gezeigt, wenn Information der Speichertransistor-Spalten M121 bis M125, die die Steuergateleitung C12 gemeinsam haben, gelöscht wird.

Ein Schreiben wird nur selektiv in das ausgewählte Bit M123 ausgeführt. Eine hohe Spannung "H" von etwa 20 V wird nur an die Bitleitung B2 angelegt, und die anderen Bitleitungen werden auf Massepotential "L" gehalten. Wenn nur die Steuergateleitung C12 unter Einschluß des Steuergates 7 des Speichertransistors 123, in den ein Einschreiben ausgeführt wird, auf Massepotential "L" gehalten wird, werden die anderen Steuergateleitungen alle auf einem mittleren Potential "M" von etwa 7 V gehalten. Die Wortleitungen W1 und W2, die auszuwählenden Gates entsprechen, werden auf Massepotential "L" gehalten.

Die Potentiale der Bitleitungen B1 bis B5, der Steuergateleitungen C11 bis C22 und der Wortleitungen W1 und W2 in diesem Zustand sind in Fig. 7 gezeigt.

Nachfolgend wird eine Beschreibung des Lesevorganges gegeben. Das Lesen wird durch Anlegen einer Spannung von 5 V an die Steuergateleitung C11 unter Einschluß des Steuergates 7 des nicht-ausgewählten Speichertransistors in einer ausgewählten Speicherzellgruppe 40 ausgeführt. Ein Potential von 5 V wird an die Wortleitung W1 einschließlich der Auswahlgateelektrode 4 der ausgewählten Speicherzellgruppe 40 angelegt, und die Steuergateleitung C12 einschließlich des Steuergates 7 des Speichertransistors 123 wird auf Massepotential "L" gehalten. Ein Potential zum Lesen von 1 V wird an die Bitleitung B2, die mit der zum ausgewählten Speichertransistor M123 benachbarten Source-/Drain-Diffusionsschicht verbunden ist, angelegt. Das Massepotential "L" wird an die mit der zum nicht-ausgewählten Speichertransistor in der ausgewählten Speicherzellgruppe benachbarten Source-/Drain-Diffusionsschicht verbundenen Bitleitung B3 angelegt. Die anderen nicht-ausgewählten Bitleitungen B1, B3 und B4 werden im schwimmenden Zustand gehalten und bilden keinen Strompfad. Das Massepotential "L" ist an die nicht-ausgewählte Wortleitung W2 und die nichtausgewählten Steuergateleitungen C12 und C22 angelegt. Zu dieser Zeit fließt, wenn der ausgewählte Speichertransistor M123 im Lösch-Zustand ist, kein Strom von der Bitleitung B2 zur Bitleitung B3, aber wenn der Wert geschrieben ist, fließt ein Strom von der Bitleitung B2 zur Bitleitung B3. Der Lesestrom wird als "0" oder "1" darstellende Information im Leseverstärker der peripheren Schaltung nachgewiesen. Auf diese Weise wird die Steuerung des Lesens ausgeführt. Die Potentiale der Bitleitungen B1 bis B5, der Steuergateleitungen C11 bis C22 und der Wortleitung W1 und W2 in diesem Falle sind in Fig. 8 gezeigt.

Jetzt wird ein Verfahren zur Herstellung eines EEPROM entsprechend der vorliegenden Erfindung beschrieben. Die Fig. 9 und 10 sind Darstellungen, die ein Verfahren zur Herstellung eines EEPROM entsprechend der vorliegenden Erfindung Schritt für Schritt darstellen.

Wie Fig. 9(A) zeigt, wird auf einem p-Siliziumsubstrat 20 ein Isolierfilm 16 gebildet, auf dem Isolierfilm 16 wird eine Polysiliziumschicht 70 gebildet, auf der Polysiliziumschicht 70 wird ein Zwischenschicht-Siliziumoxidfilm 15 gebildet, und auf dem Zwischenschicht-Siliziumoxidfilm 15 wird eine Polysiliziumschicht 71 gebildet. In vorbestimmten Gebieten auf der Polysiliziumschicht 71 werden Resiste 7a und 7b ausgebildet.

Wie Fig. 9(B) zeigt, wird ein Ätzen ausgeführt, wodurch der erste Speichertransistor 43 und der zweite Speichertransistor 44 gebildet werden.

Nach der Entfernung der Resiste 72a und 72b wird eine vollständige Oxidation ausgeführt, wodurch eine die Hauptoberflächen des ersten Speichertransistors 43, des zweiten Speichertransistors 44 und des p-Siliziumsubstrates 20 bedeckende Oxidschicht 73 gebildet wird. Auf die Oxidschicht 73 wird eine Polysiliziumschicht 74 abgeschieden, und auf ein vorbestimmtes Gebiet der Polysiliziumschicht 74 wird — wie in Fig. 9(C) gezeigt — ein Resist 75 aufgebracht.

In dem in Fig. 9(C) gezeigten Zustand wird ein Ätzen ausgeführt, und das Auswahlgate 4, das das Gate des Auswahlgate transistors 3 werden wird, wird — wie in Fig. 10(A) gezeigt — gebildet. Zu diesem Zeitpunkt wird eine n-Dotierungsschicht, die die erste und zweite Source-/Drain-Diffusionsschicht ergeben wird, beispielsweise durch Ionenimplantation in diejenigen Teile des p-Siliziumsubstrats 20 gebildet, in denen der erste

und zweite Speichertransistor 43 und 44 nicht gebildet sind.

Nach Entfernung des Resists 75 werden in dem auf der ersten und zweiten Source-/Drain-Diffusionsschicht 41 und 42 gebildeten Isolierfilm beispielsweise mittels Ätzens Kontaktlöcher gebildet.

Erste und zweite Source-/Drain-Kontakte 45 und 46 werden unter Nutzung dieser Kontaktlöcher gebildet. Weiter wird ein Zwischenschichtisolierfilm 76, der den ersten und den zweiten Speichertransistor 43 und 44 und das Auswahlgate 4 bedeckt, gebildet. Im Ergebnis dessen ist ein EEPROM, wie er in Fig. 10(B) gezeigt ist, erzeugt.

2) Zweite Ausführungsform

Fig. 11 ist eine Querschnittsdarstellung, die einen EEPROM entsprechend einer zweiten Ausführungsform der Erfindung zeigt. Der Grundaufbau der zweiten Ausführungsform ist derselbe wie bei der ersten Ausführungsform, nachfolgend werden daher nur die sich von der ersten Ausführungsform unterscheidenden Teile beschrieben.

Wie Fig. 11 zeigt, sind beim EEPROM entsprechend der zweiten Ausführungsform auf den Steuergates 7a und 7b obere Zwischenschichtisolierfilme 100a und 100b in mit den Steuergates 7a und 7b selbstausrichtender Weise gebildet. Die Dicken der oberen Zwischenschichtisolierfilme 100a und 100b sind gleich den oder größer als die Dicken der Steuergates 7a und 7b. Beim Betrieb der in den Fig. 5 bis 8 gezeigten Speicherzelle wird zwischen den Steuergates 7a und 7b der Speichertransistoren 43 und 44 und dem Auswahlgate 4 des Auswahltransistors 3 ein elektrisches Feld von etwa 10 V erzeugt. Die Feldstärke des elektrischen Feldes wird durch die dicken Isolierfilme 100a und 100b entspannt, wodurch Verschlechterungen der Bauelementcharakteristiken und ein fehlerhafter Betrieb, der durch Durchbrüche entstehen könnte, vermieden werden.

Wie oben beschrieben, ist bei der zweiten Ausführungsform der Isolierfilm zwischen dem Paar von Speichertransistoren und dem Auswahltransistor dick gebildet, die Isolation zwischen dem Paar von Speichertransistoren und dem Auswahltransistor ist verbessert und letztlich ist ein EEPROM mit hoher Zuverlässigkeit, der eine hochdichte Integration erlaubt und einen geringen Stromverbrauch aufweist, bereitgestellt.

3) Dritte Ausführungsform

Fig. 12 ist eine Querschnittsdarstellung eines EEPROM entsprechend einer dritten Ausführungsform der Erfindung. Wie Fig. 12 zeigt, sind zur Isolation zwischen den jeweiligen schwimmenden Gates 14a und 14b und den Steuergates 7a und 7b des ersten und zweiten Speichertransistors 43 und 44 und der Auswahlgateelektrode 4 des Auswahltransistors 3 im EEPROM Seitenwandisolierfilme 101a und 101b vorgesehen.

Bei der dritten Ausführungsform wird die Intensität des elektrischen Feldes von etwa 10 V, das zwischen den Steuergates und den schwimmenden Gates des Speichertransistors und dem Auswahlgate des Auswahltransistors erzeugt ist, durch die Speichertransistor-Seitenwandisolierfilme entspannt, so daß Verschlechterungen der Bauelementcharakteristiken und ein durch eventuelle Durchbrüche verursachter fehlerhafter Betrieb verhindert werden können.

4) Vierte Ausführungsform

Fig. 13 ist eine Querschnittsdarstellung, die einen EEPROM entsprechend einer vierten Ausführungsform der Erfindung zeigt. Wie Fig. 13 zeigt, bedeckt bei der vierten Ausführungsform die Auswahlgateelektrode 4 des Auswahltransistors 3 die jeweiligen Speichertransistoren 43 und 44 und erstreckt sich über die ersten und zweiten Source-/Drain-Diffusionsschichten 41 und 42.

Die Auswahlgateelektrode 4 muß allgemein eine größere Dicke als 20 nm haben, um zu vermeiden, daß der Auswahlgateoxidfilm 13 bei der Herstellung Beschädigungen erfährt. Da jedoch die Auswahlgateelektrode 4 sich über die Steuergates 7a und 7b der Speichertransistoren 43 und 44 erstreckt, wird der Stufen-Höhenunterschied in der Speicherzelle somit um eine mehr als 20 nm größere Dicke erhöht, was zu Schwierigkeiten bei der Bildung von Source-/Drain-Kontakten oder Metallverbindungsschichten führt. Bei dieser Ausführungsform ist die Auswahlgateelektrode 4 nur etwa 10 nm dünn gemacht, und ein oberer Auswahlgateelektroden-Oxidfilm 103 und ein oberer Auswahlgateelektroden-Nitridfilm 104 sind auf der Auswahlgateelektrode vorgesehen, so daß der Auswahlgateoxidfilm 13 bei der Herstellung keinen Beschädigungen unterliegen wird.

Wie oben beschrieben, kann mit der vierten Ausführungsform, da auf der Gateelektrode des Auswahltransistors der Oxidfilm und der Nitridfilm vorgesehen sind, was es ermöglicht, die Auswahlgateelektrode 4 mit geringer Dicke zu bilden, eine Speicherzelle mit geringen Stufen-Höhenunterschied gebildet werden, die leicht herzustellen ist, womit ein hochgradig zuverlässiger und hochdichte Integration erlaubender EEPROM bereitgestellt werden kann.

5) Fünfte Ausführungsform

Fig. 14 ist eine Querschnittsdarstellung eines EEPROM entsprechend einer fünften Ausführungsform der Erfindung. Wie Fig. 14 zeigt, bedeckt beim EEPROM der fünften Ausführungsform die Auswahlgateelektrode 4 vollständig die Steuergates 7a und 7b der Speichertransistoren 43 und 44 und erstreckt sich über die erste Source-/Drain-Diffusionsschicht 41 und die zweite Source-/Drain-Diffusionsschicht 42.

Zwischen dem schwimmenden Gate 14a und der ersten Source-/Drain-Diffusionsschicht 41 im Speichertransistor 43 ist ein Tunnelgebiet 8a gebildet, während zwischen dem schwimmenden Gate 14b und der zweiten Source-/Drain-Diffusionsschicht 42 im Speichertransistor 44 ein Tunnelgebiet 8b gebildet ist. Die Tunnelgebiete 8a und 8b neigen dazu, ihre Charakteristiken infolge einer Wärmebehandlung nach der Bildung der Speichertransistoren 43 und 44 zu ändern, aber es ist möglich, die Veränderungen der Charakteristiken durch Erstreckung der Auswahlgateelektrode 4 bis zur ersten Source-/Drain-Diffusionsschicht 41 und zur zweiten Source-/Drain-Diffusionsschicht 42 zu unterdrücken.

Wie oben beschrieben, können beim EEPROM der fünften Ausführungsform, da die Gateelektrode des Auswahltransistors sich zur Source-/Drain-Diffusionsschicht des Speichertransistors hin erstreckt, die Änderungen der Charakteristiken der Tunnelgebiete unterdrückt werden, so daß ein EEPROM mit stabilen Charakteristiken, hoher Zuverlässigkeit und der Eignung für hochdichte Integration bereitgestellt werden kann.

6) Sechste Ausführungsform

Fig. 15 ist eine Querschnittsdarstellung eines EEPROM entsprechend einer sechsten Ausführungsform der Erfindung. Wie Fig. 15 zeigt, ist bei der sechsten Ausführungsform der Auswahltransistor 3 aus einem Gateoxidfilm 13, einer Auswahlgateelektrode 4, einer ersten Verbindungs-Diffusionsschicht 105a und einer zweiten Verbindungs-Diffusionsschicht 105b gebildet.

Bei der sechsten Ausführungsform erstreckt sich die Auswahl gateelektrode 4 nicht über die schwimmenden Gates 14a und 14b, und der Auswahltransistor 3 mit der ersten Verbindungs-Diffusionsschicht 105a und der zweiten Verbindungs-Diffusionsschicht 105b ist vollständig in den Zwischenraum zwischen den Speichertransistoren 43 und 44 eingepaßt, wodurch der Stufen-Höhenunterschied der Speicherzellen verringert wird.

Wie oben beschrieben, ist bei der sechsten Ausführungsform der Auswahltransistor vollständig in den Zwischenraum zwischen den beiden Speichertransistoren eingepaßt, was den Stufen-Höhenunterschied der Speicherzellen verringert, so daß Speicherzellen mit weniger ausgeprägten Stufenabschnitten, die herstellungsgünstiger sind, bereitgestellt werden und damit letztlich ein hochgradig zuverlässiger EEPROM mit Eignung für hochdichte Integration und verringertem Stromverbrauch erzeugt wird.

7) Siebente Ausführungsform

Fig. 16 ist eine Querschnittsdarstellung eines EEPROM entsprechend einer siebenten Ausführungsform der Erfindung. Wie Fig. 16 zeigt, ist beim EEPROM entsprechend der siebenten Ausführungsform das Siliziumsubstrat 20 zwischen dem Paar von benachbarten Speichertransistoren 43 und 44 in selbstausrichtender Weise mit den Steuergates 7a und 7b geätzt und mit einem Graben versehen. Der Auswahlgateoxidfilm 13 ist innerhalb der Oberfläche des Grabengebietes des Siliziumsubstrates 20 so gebildet, daß er das Kanalgebiet des Auswahltransistors bildet, und dann wird die Auswahlgateelektrode 4 ausgebildet. Die Länge des Gates des Kanals des Auswahltransistors 3 wird durch den Abstand zwischen den benachbarten Speichertransistoren 43 und 44 plus dem Doppelten der Höhe des Grabens des Siliziumsubstrates 20 gebildet, und daher wird ein Auswahltransistor 3 gebildet, der weniger zu einer Beeinflussung durch Kurzkanaleffekte neigt.

Wie oben erwähnt kann mit der siebenten Ausführungsform, da das Kanalgebiet des Auswahltransistors im Grabengebiet des Substrates zwischen den benachbarten Speichertransistoren gebildet und die Länge des Gates des Auswahltransistors erhöht ist, ohne daß die Speicherzelle vergrößert ist, ein EEPROM bereitgestellt werden, der die Aufgabe der Erfindung löst.

8) Achte Ausführungsform

Fig. 17 ist eine Querschnittsdarstellung eines EEPROM entsprechend einer achten Ausführungsform der Erfindung. Wie Fig. 17 zeigt, ist beim EEPROM entsprechend der achten Ausführungsform die Dicke der Auswahlgateelektrode 4 des Auswahltransistors 3 gleich der Hälfte des Abstandes zwischen den benachbarten Speichertransistoren 43 und 44 gewählt. Damit ist die Ausnehmung der Auswahlgateelektrode 4 voll-

ständig ausgefüllt. Durch die vollständige Ausfüllung der Ausnehmung im Auswahlgate kann der Zwischenraum zwischen abgeschiedenen Filmen zur Isolation zwischen den in der Ausnehmung erzeugten Schichten beseitigt werden.

Damit wird mit der achten Ausführungsform ein EEPROM bereitgestellt, bei dem eine Degradation der Zuverlässigkeit infolge der Lücke zwischen den abgeschiedenen Filmen in der Ausnehmung verhindert wird.

9) Neunte Ausführungsform

Fig. 18 ist eine Querschnittsdarstellung eines EEPROM entsprechend einer neunten Ausführungsform der Erfindung. Wie Fig. 18 zeigt, ist bei dieser Ausführungsform die Auswahlgateelektrode 4 nur zwischen dem ersten und dem zweiten Speichertransistor 43 und 44 ausgebildet. Nach Bildung einer polykristallinen Siliziumschicht, die dicker als die Höhe des Speichertransistors ist, wird die Auswahlgateelektrode 4 rückgeätzt, so daß sie eine selbstaussichtende Anordnung mit dem Speichertransistor bildet, bei der die Auswahlgateelektrode 4 sich nicht über die Steuergates 7a und 7b erstreckt.

Wie oben beschrieben, kann bei der neunten Ausführungsform, da die Gateelektrode des Auswahltransistors sich nicht über den Speichertransistor erstreckt, sondern in selbstaussichtender Weise mit dem Speichertransistor angeordnet ist, die Größe der Vorrichtung verringert werden, ohne daß der Stufen-Höhenunterschied der Speicherzelle vergrößert wird. Infolgedessen kann ein hochgradig zuverlässiger und für hochdichte Integration geeigneter EEPROM bereitgestellt werden.

Der Betrieb der zweiten bis neunten Ausführungsform ist grundlegend derselbe wie bei der ersten Ausführungsform, so daß keine erneute Beschreibung gegeben wird.

Patentansprüche

1. EEPROM mit einem Halbleitersubstrat (20) mit einer Hauptoberfläche, einem Paar von Speichertransistoren (43, 44), die mit einem Zwischenraum voneinander getrennt auf der Hauptoberfläche des Halbleitersubstrates (20) gebildet sind und von denen jeder ein schwimmendes Gate (14a, 14b) zum Speichern von Informations-Ladungen und ein Steuergate (7a, 7b) zum Steuern des schwimmenden Gates (14a, 14b) aufweist, und einem Auswahltransistor (3), der auf der Hauptoberfläche des Halbleitersubstrates (20) und in dem Zwischenraum gebildet ist, zur Auswahl des Speichertransistors (43, 44).
2. EEPROM nach Anspruch 1, dadurch gekennzeichnet, daß der Auswahltransistor (3) eine Gateelektrode (4) aufweist und ein Teil der Gateelektrode (4) des Auswahltransistors (3) sich auf das Paar von Speichertransistoren (43, 44) mit einem Isolierfilm (47) dazwischen erstreckt.
3. EEPROM nach Anspruch 2, dadurch gekennzeichnet, daß das Steuergate (7a, 7b) eine vorbestimmte erste Dicke und der Isolierfilm (47) eine vorbestimmte zweite Dicke, die größer als die erste Dicke ist, haben.
4. EEPROM nach Anspruch 2 oder 3, dadurch ge-

kennzeichnet, daß der Isolierfilm (47) einen Siliziumnitridfilm aufweist.

5. EEPROM nach einem der Ansprüche 2 bis 4, gekennzeichnet durch einen Seitenwandisolierfilm (101a, 101b), der vom Steuergate (7a, 7b) zur Hauptoberfläche des Substrates (20) auf der Seite, wo der Auswahltransistor (3) des Paares von Speichertransistoren (43, 44) angeordnet ist, vorgesehen ist und dessen Dicke vom Steuergate (7a, 7b) zur Hauptoberfläche des Halbleitersubstrates (20) hin zunimmt.

6. EEPROM nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß die Dicke der Gateelektrode (4) höchstens 10 nm beträgt.

7. EEPROM nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß die Gateelektrode (4) sich gegenüber der Seite erstreckt, wo der Auswahltransistor (3) des Paares von Speichertransistoren (43, 44) gebildet ist.

8. EEPROM nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der Auswahltransistor (3) ein Paar von Störstellendifusionsgebieten (105a, 105b), das in der Hauptoberfläche und in dem Zwischenraum gebildet ist, aufweist, und daß eine Gateelektrode (4) zwischen den Störstellendifusionsgebieten (105a, 105b) und auf der Hauptoberfläche mit einem Isolierfilm (13) dazwischen vorgesehen ist.

9. EEPROM nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß in der Hauptoberfläche und in dem Zwischenraum eine Ausnehmung vorgesehen ist, daß der Auswahltransistor (3) eine Gateelektrode (4) aufweist und daß die Gateelektrode (4) längs der Ausnehmung angeordnet ist.

10. EEPROM nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß der Zwischenraum eine erste Abmessung hat, daß der Auswahltransistor (3) eine Gateelektrode (4) aufweist und daß die Dicke der Gateelektrode (4) eine zweite Abmessung darstellt, die mindestens die Hälfte der ersten Abmessung beträgt.

11. EEPROM nach einem der Ansprüche 1 und 3 bis 10, dadurch gekennzeichnet, daß der Auswahltransistor (3) eine Gateelektrode (4) aufweist und daß die Gateelektrode (4) nur in dem Zwischenraum gebildet ist.

12. EEPROM nach einem der Ansprüche 1 bis 11, gekennzeichnet durch eine Mehrzahl von Speicherzellgruppen (40), die in der Richtung von Zeilen und Spalten auf der Hauptoberfläche des Halbleitersubstrates (20) angeordnet sind, wobei die Mehrzahl von Speicherzellgruppen (40) jeweils ein Paar von Speicherzellen (43, 44) aufweist, die voneinander getrennt sind und jeweils ein schwimmendes Gate (14a, 14b) zum Speichern von Informationsladungen und ein Steuergate (7a, 7b) zum Steuern des schwimmenden Gates (14a, 14b) aufweisen, und eine Speicherzellenauswahlvorrichtung (4) zwischen dem Paar Speicherzellen (43, 44) zum Auswählen einer der Speicherzellen vorhanden ist.

13. EEPROM nach einem der Ansprüche 1 bis 12 mit

einer Mehrzahl von ersten und zweiten Steuerleitungen (C11, C12, B1 bis B5), die in Zeilen und Spalten angeordnet sind, wobei die ersten Steuerleitungen Steuergatesignalleitungen (C11, C12) und Wortleitungen (W1, W2) und die zweiten Steuerleitungen Bitleitungen (B1 bis B5) aufweisen, und

einer Mehrzahl von Speicherzellen (M111 bis M219; 40), von denen jede Speicherzelle eine Gateelektrodenstruktur und ein erstes und ein zweites Source-/Drain-Gebiet (41, 42) aufweist, die auf gegenüberliegenden Seiten der Gateelektrodenstruktur im Substrat (20) gebildet sind, wobei die Gateelektrodenstruktur eine Auswahlgateelektrode (4), die auf dem Substrat (20) gebildet ist, und ein Paar von gestapelten Gateelektroden (7a, 7b, 14a, 14b), die aufeinander gegenüberliegenden Seiten des Auswahlgates (4) gebildet sind und eine schwimmende Gateelektrode (14a, 14b) auf dem Substrat (20) und eine

Steuergateelektrode (7a, 7b) auf der schwimmenden Gateelektrode (14a, 14b) aufweisen, wobei die Source-/Drain-Gebiete (41, 42) mit den Bitleitungen (B1 bis B5), die Auswahlgateelektroden (4) mit den Steuergatesignalleitungen (C11, C12) und die Steuergateelektroden mit den Wortleitungen (W1, W2) verbunden sind.

14. EEPROM nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß

die Auswahltransistoren (3) in einer Mehrzahl von Zeilen und Spalten auf der Hauptoberfläche des Halbleitersubstrates (20) jeweils unter Einschluß einer Gateelektrode (4), die über einem Kanalgebiet des Substrates (20) gebildet ist, gebildet sind, daß Paare von FAMOS-Speichertransistoren (43, 44) in Paaren von Zeilen auf einander gegenüberliegenden Seiten des entsprechen den der Auswahltransistoren (3) auf der Hauptoberfläche des Halbleitersubstrates (20) gebildet sind, von denen jede ein schwimmendes Gate (14a, 14b) zum Speichern von Informations-Ladungen, ein Steuergate (C11, C12) zum Steuern des schwimmenden Gates (14a, 14b) und ein Source-/Drain-Gebiet (41, 42) in der Hauptoberfläche des Halbleitersubstrates (20) auf einer Seite eines jeweiligen Steuergates (7a, 7b) entfernt von dem jeweiligen Auswahltransistor aufweist,

Wortleitungen (W1, W2) in Zeilen gebildet und mit den Gateelektroden (4) der Auswahltransistoren (3) in den jeweiligen Zeilen verbunden sind, Steuerleitungen (C11, C12) in Zeilen gebildet und mit den Steuergates (7a, 7b) des jeweiligen der FAMOS-Transistoren verbunden sind und Bitleitungen (B1 bis B5) in Spalten auf dem Substrat (20) gebildet sind, die jeweils abwechselnd mit den Source-/Drain-Gebieten (41, 42) von FAMOS-Transistoren in Paaren benachbarter Spalten verbunden sind.

15. Verfahren zum Betrieb eines EEPROM entsprechend einem der Ansprüche 1 bis 14, wobei die Speichertransistoren (43, 44) jeweils Speicherzellen bilden, dadurch gekennzeichnet, daß im Löschbetrieb ein vorbestimmtes erstes Potential an die Speicherzelle (43, 44), deren Wert zu löschen ist, und ein vorbestimmtes zweites Potential, das niedriger als das vorbestimmte erste Potential ist, an ein Source-/Drain-Gebiet (41, 42) der Speicherzelle angelegt wird, so daß Ladungen in das schwimmende Gate (14a, 14b) der Speicherzelle injiziert werden, im Schreibbetrieb ein vorbestimmtes drittes Potential an das Steuergate (7a, 7b) der Speicherzelle (43, 44) angelegt wird, in die ein Wert zu schreiben ist und ein vorbestimmtes viertes Potential, das höher als das vorbestimmte dritte Potential ist, an das Source-/Drain-Gebiet (41, 42) der Speicherzelle an-

gelegt wird, so daß Ladungen aus dem schwimmenden Gate (14a, 14b) der Speicherzelle abgeführt werden, und
im Lesebetrieb ein vorbestimmtes fünftes Potential an das Steuergate (7a, 7b) der Speicherzelle angelegt wird, dessen Wert auszulesen ist, und ein vorbestimmtes sechstes Potential, das höher als das vorbestimmte fünfte Potential ist, an den Auswahltransistor (3) und das Steuergate (7a, 7b) der nichtausgewählten Speicherzelle angelegt wird, so daß Ladungen im schwimmenden Gate (14a, 14b) der ausgewählten Speicherzelle in das Source-/Drain-Gebiet (41, 42) der nichtausgewählten Speicherzelle übertragen werden.

16. Verfahren zum Betrieb eines EEPROM nach einem der Ansprüche 1 bis 14, gekennzeichnet durch

das Speichern von Daten in das schwimmende Gate (14a, 14b) der Speichertransistoren durch Versetzen des ersten und zweiten Speichertransistors (43, 44) in einen ersten Zustand und einen zweiten Zustand,

Anlegen eines ersten Potentials an das Steuergate (7a, 7b) des ersten oder zweiten Speichertransistors (43, 44) und Anlegen eines zweiten Potentials, das höher als das erste Potential ist, an ein Source-/Drain-Gebiet (41, 42) des ersten oder zweiten Speichertransistors, um den ersten oder zweiten Speichertransistor (43, 44) in den ersten Zustand zu versetzen, und

Anlegen eines vorbestimmten dritten Potentials an das Steuergate (7a, 7b) des ersten oder zweiten Speichertransistors (43, 44) und Anlegen eines vorbestimmten vierten Potentials, das niedriger als das dritte Potential ist, an das Source-/Drain-Gebiet des ersten oder zweiten Speichertransistors (43, 44), um den ersten oder zweiten Speichertransistor (43, 44) in den zweiten Zustand zu versetzen.

17. Verfahren zum Betrieb eines EEPROM nach Anspruch 16, dadurch gekennzeichnet, daß das dritte Potential das zweite Potential enthält und daß das vierte Potential das erste Potential enthält.

18. Verfahren zum Betrieb eines EEPROM nach Anspruch 16, gekennzeichnet durch die Schritte des Anlegens des ersten Potentials an das Steuergate (7a, 7b) des ersten oder zweiten Speichertransistors und des Anlegens eines fünften Potentials, das höher als das erste Potential und niedriger als das zweite Potential ist, an die Steuergates (4, 7a, 7b) des Auswahltransistors (3) und des nichtausgewählten ersten oder zweiten Speichertransistors (43, 44), wodurch bestimmt wird, ob ein Strom vom Source-/Drain-Gebiet (41) des ersten Speichertransistors (43) zum Source-/Drain-Gebiet (42) des zweiten Speichertransistors (44) fließt oder nicht.

19. Verfahren zur Herstellung eines EEPROM nach einem der Ansprüche 1 bis 14 mit den Schritten des Bildens einer ersten und einer zweiten Mehrschichtstruktur (7, 15, 14, 17), die eine Isolierschicht und eine leitende Schicht aufweist, mit einem Abstand voneinander auf der Hauptoberfläche eines Halbleitersubstrates (20) des ersten Leitungstyps, wobei der Schritt des Bildens der ersten und zweiten Mehrschichtstruktur (7, 15, 14, 17) das Bilden einer ersten Isolierschicht (16) auf der Hauptoberfläche, das Bilden einer ersten leitenden Schicht (70) auf der ersten Isolierschicht (16), das Bilden einer zweiten Isolierschicht (15) auf der ersten leitenden

Schicht (70) und das Bilden einer zweiten leitenden Schicht (71) auf der zweiten Isolierschicht (15) aufweist,

dem Schritt des Bildens einer dritten leitenden Schicht (74) mindestens zwischen der ersten und zweiten Mehrschichtstruktur und auf der Hauptoberfläche des Halbleitersubstrates (20) und dem Schritt des Bildens eines Störstellengebietes (41, 42) des zweiten Leitungstyps, der sich vom ersten Leitungstyp unterscheidet, in den Gebieten der ersten und zweiten Mehrschichtstruktur, in denen die dritte leitende Schicht (74) nicht gebildet ist, und in der Hauptoberfläche.

Hierzu 24 Seite(n) Zeichnungen

- Leerseite -

FIG. 1A

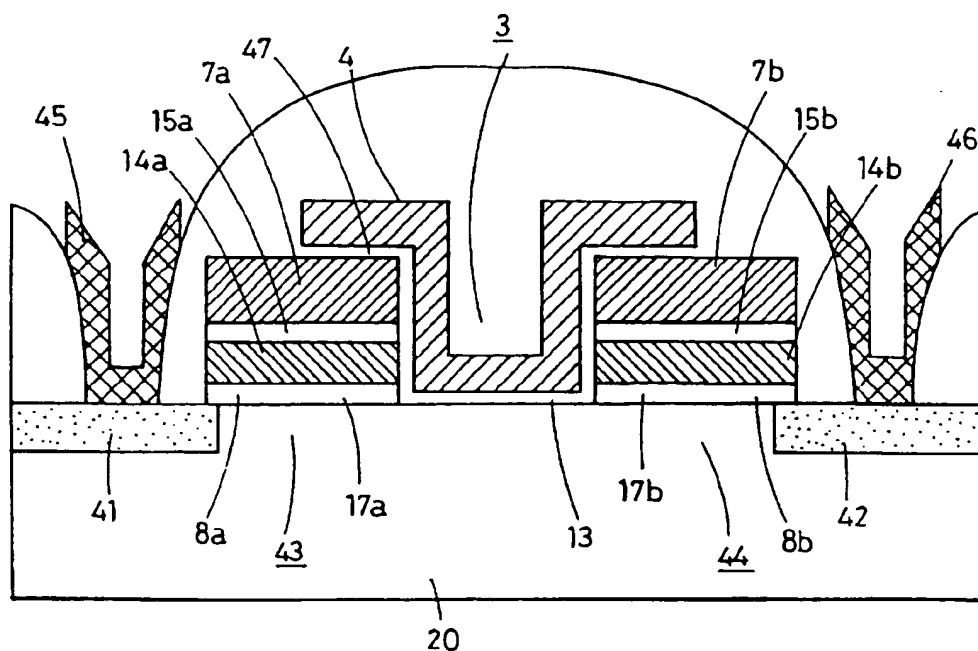


FIG. 1B

ELEMENT	Löschen	Schreiben	Lesen
STEUERGATE 7a	20V	0V	0V
1. SOURCE/DRAIN-DIFFUSIONSSCHICHT 41	0V	20V	1V
Schwimmendes Gate 14a	Elektronen injiziert	Elektronen herausgezogen	—
STEUERGATE 7b	20V	0V	5V
2. SOURCE/DRAIN-DIFFUSIONSSCHICHT 42	0V	20V	0V
AUSWAHLGATE-ELEKTRODE 4	—	—	5V
Schwellspannung des Speicher-Tr.	2 ~ 3V	-3V	—

FIG. 2

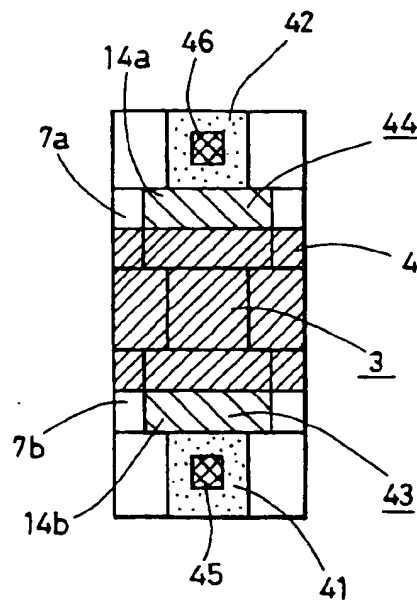


FIG. 3

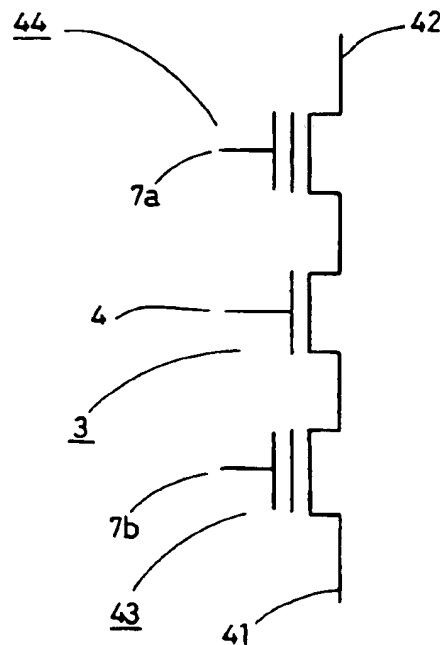


FIG. 4

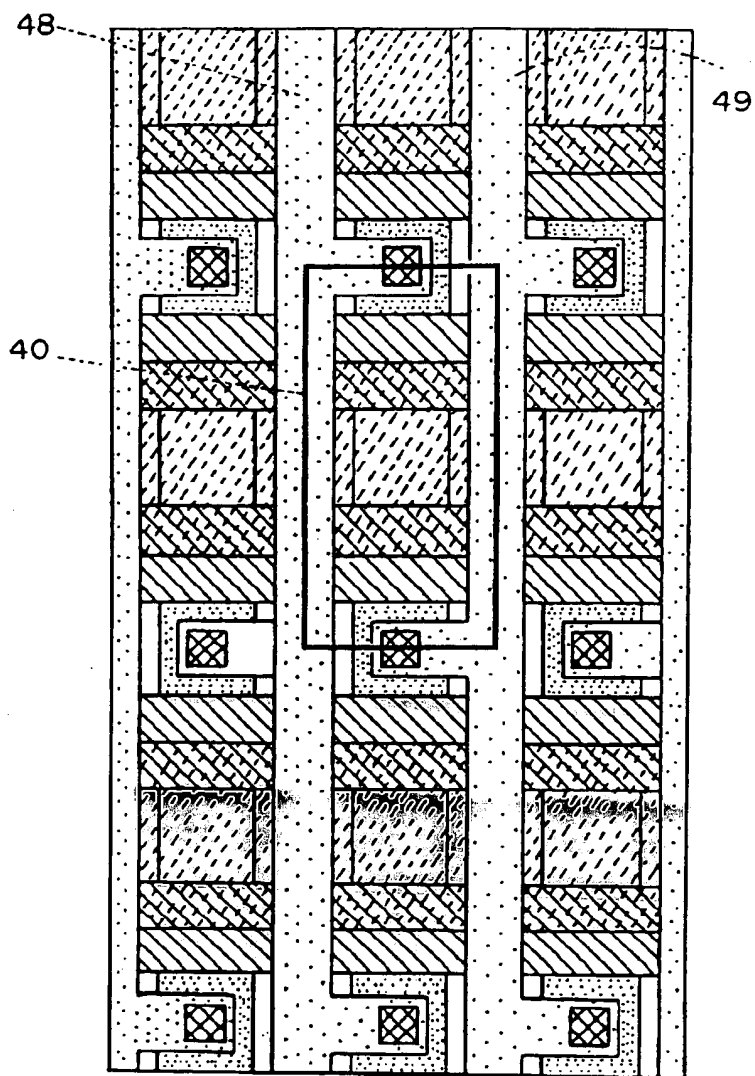


FIG. 5

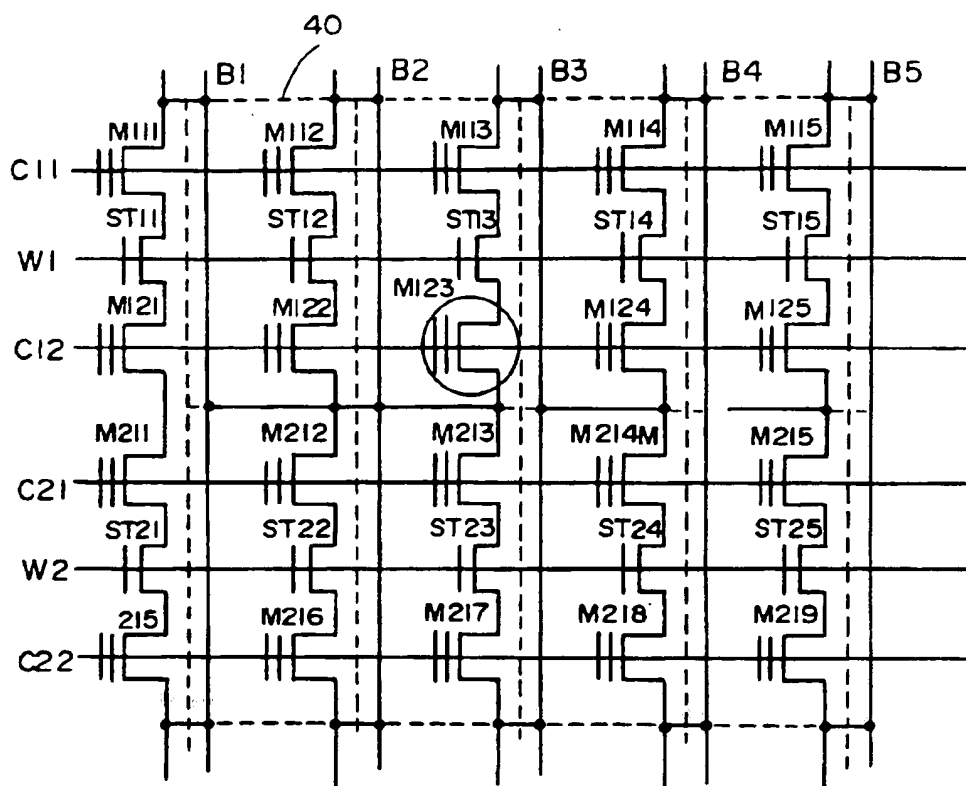


FIG. 6

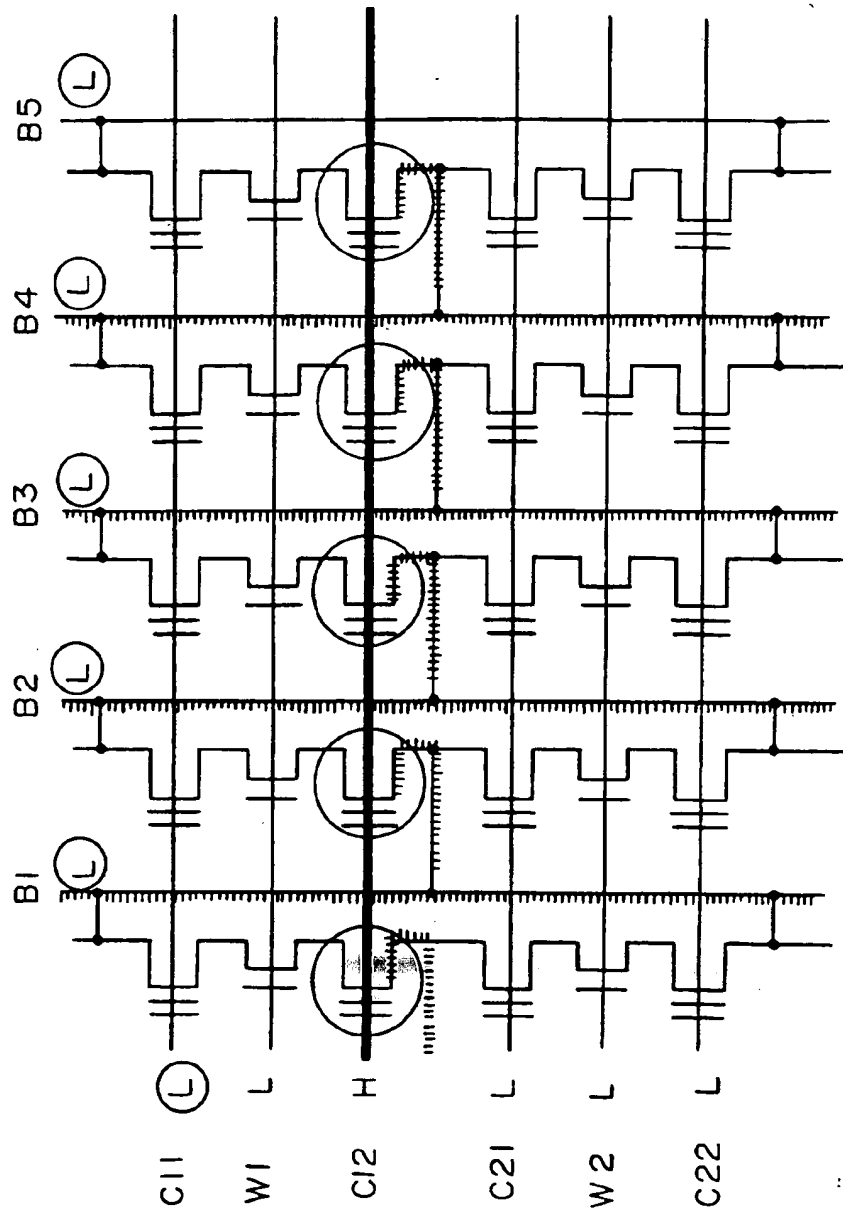


FIG. 7

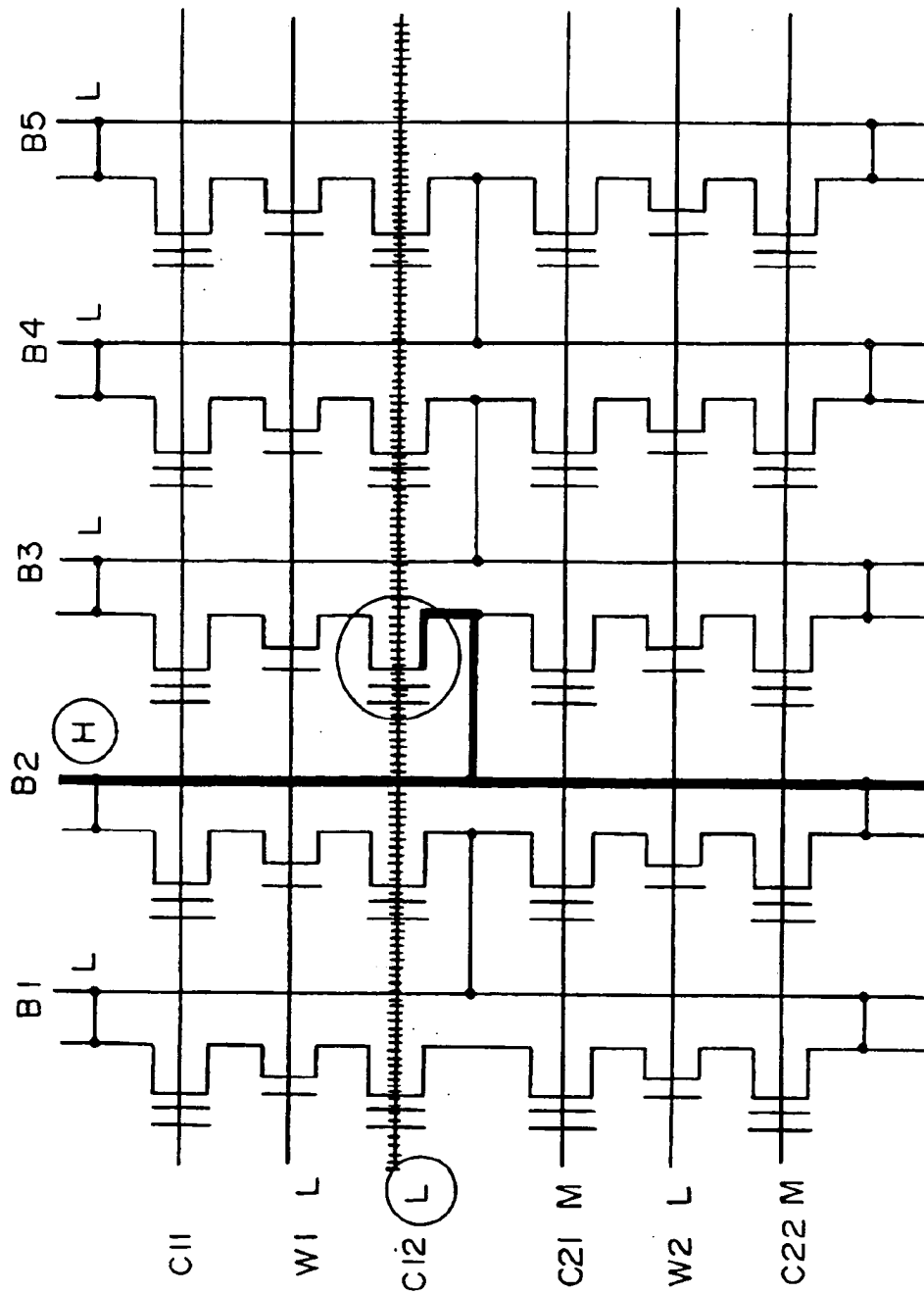


FIG. 8

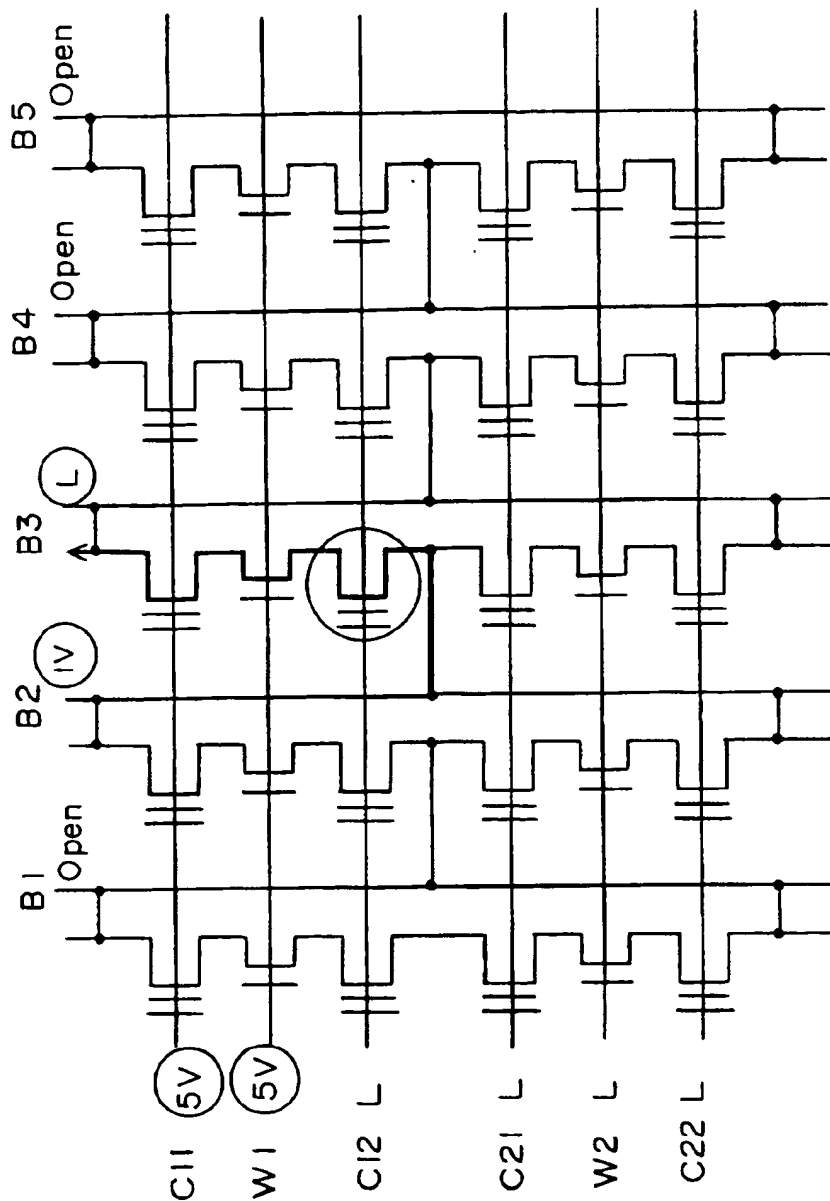
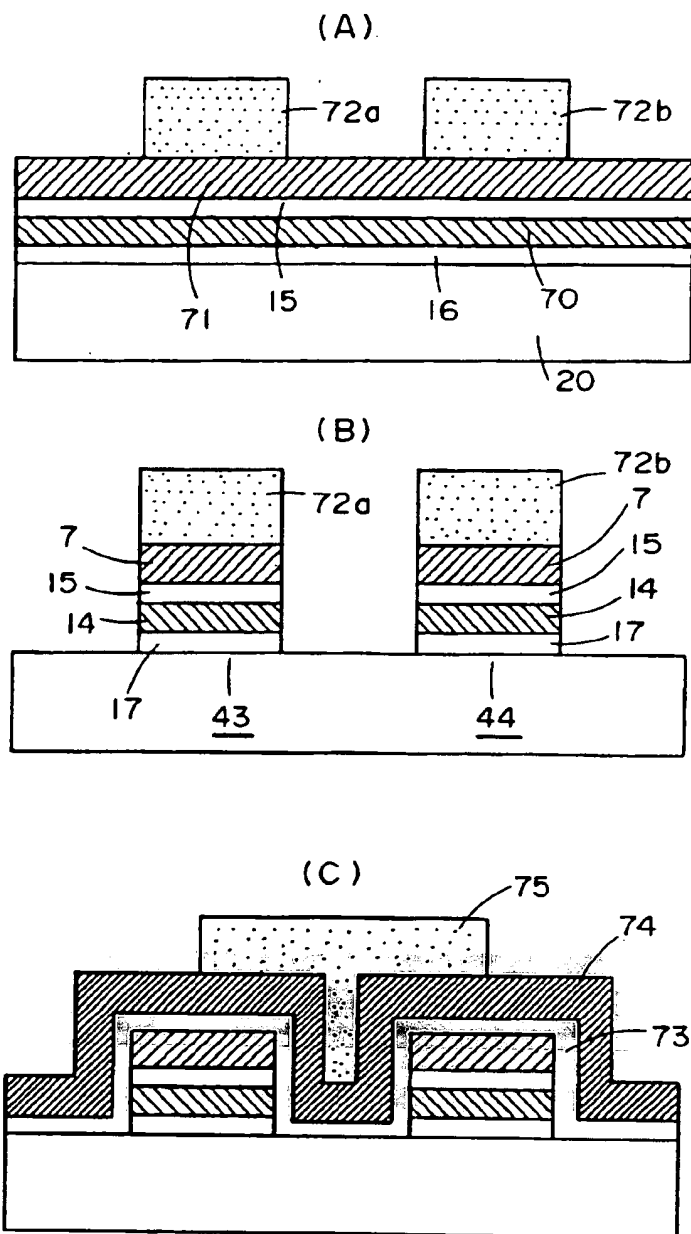


FIG. 9



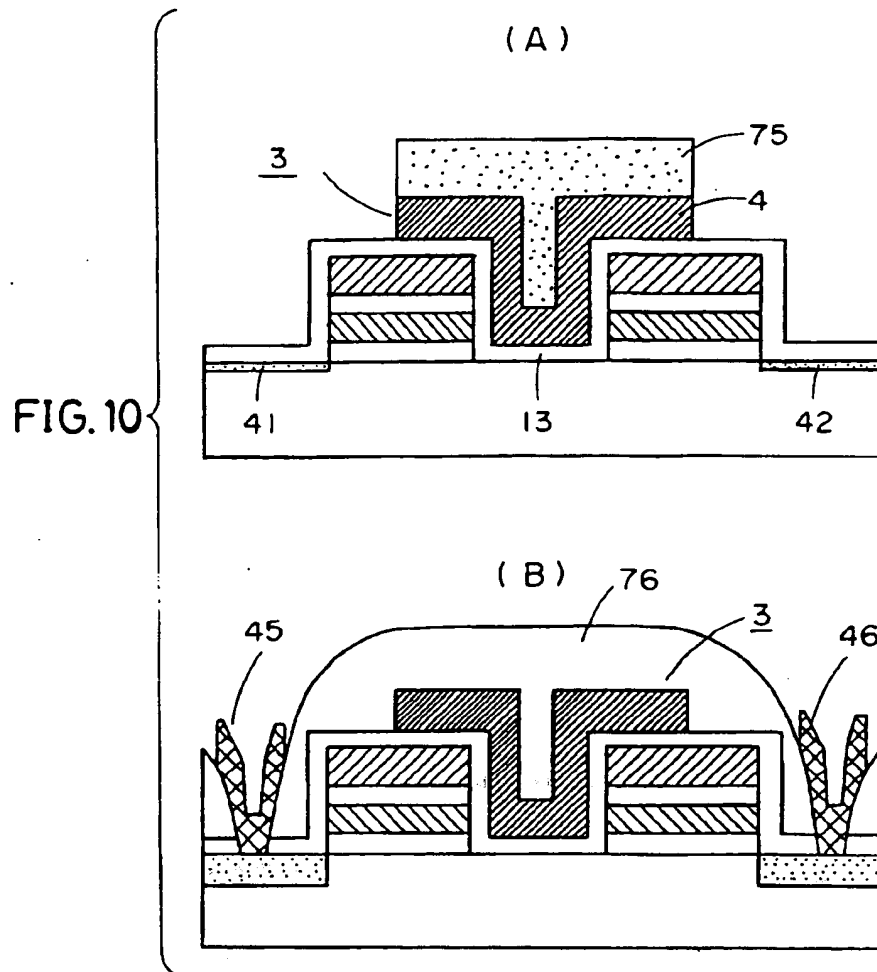


FIG. 11

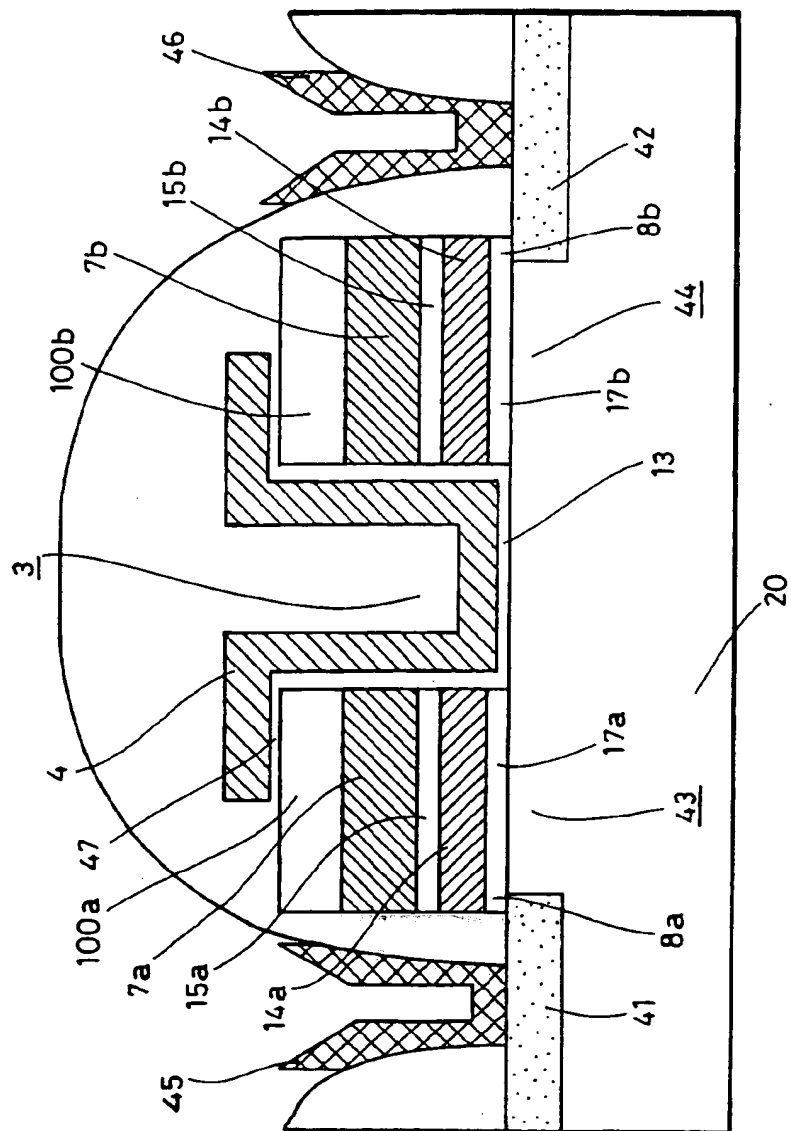


FIG. 12

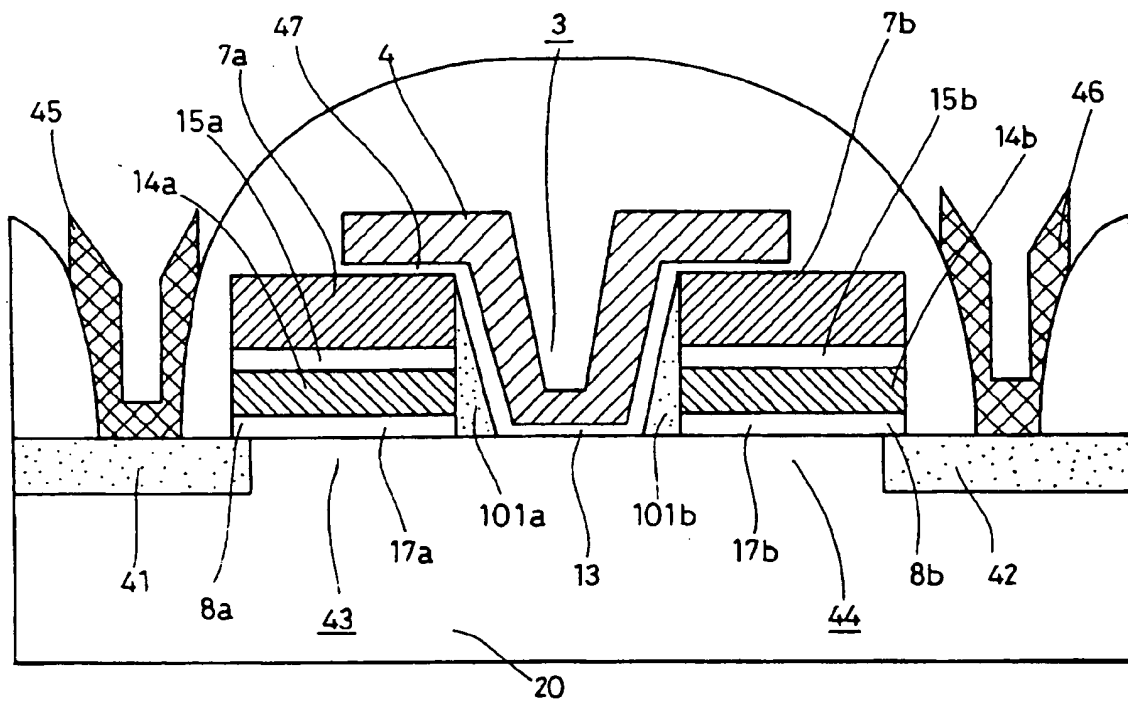


FIG. 13

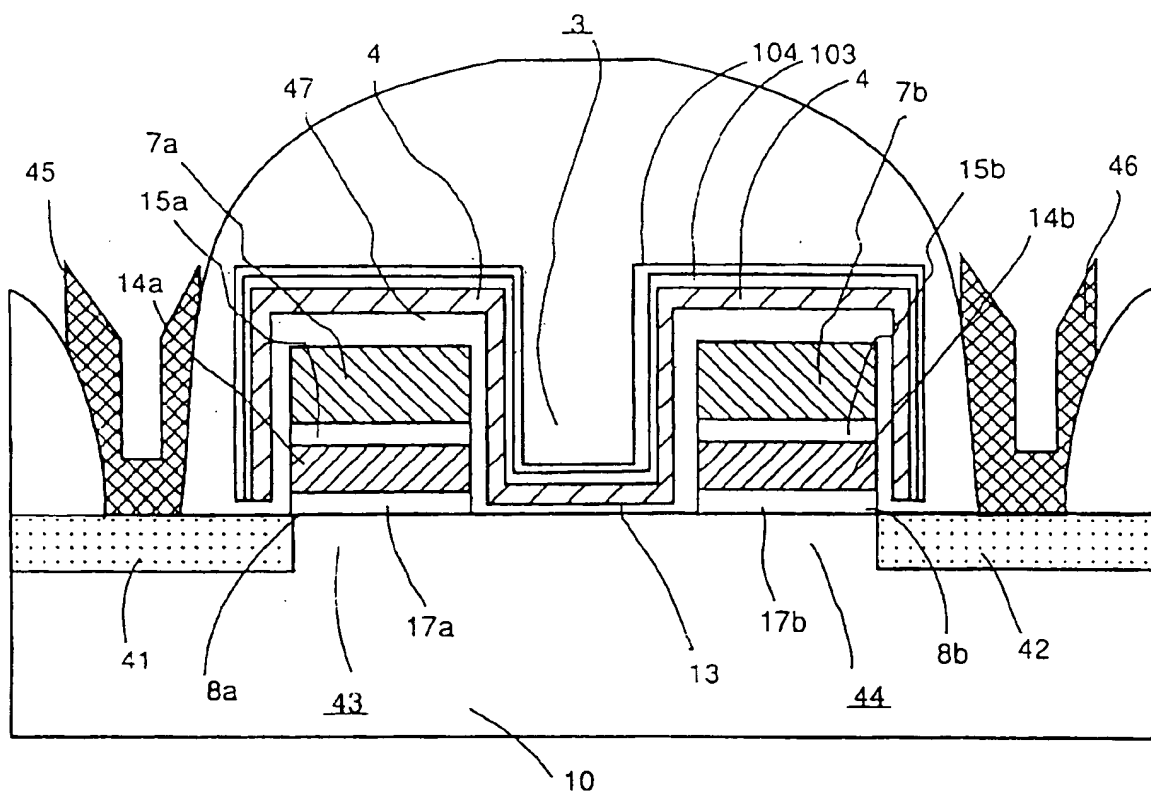


FIG. 14

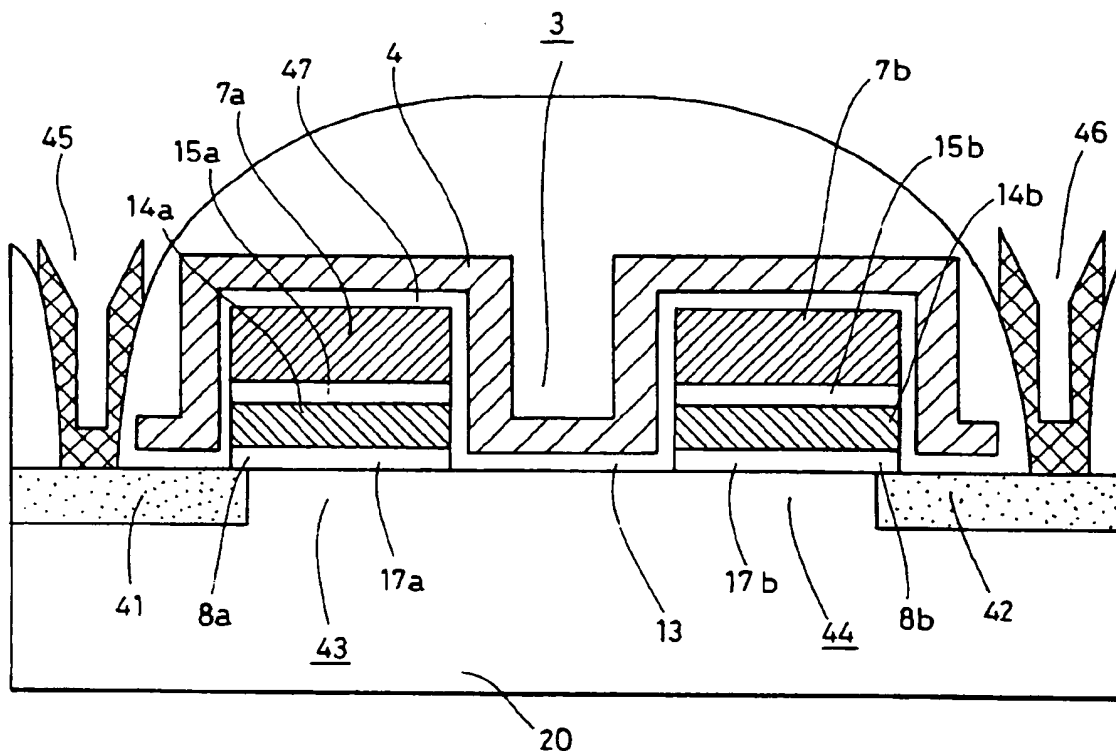


FIG. 15

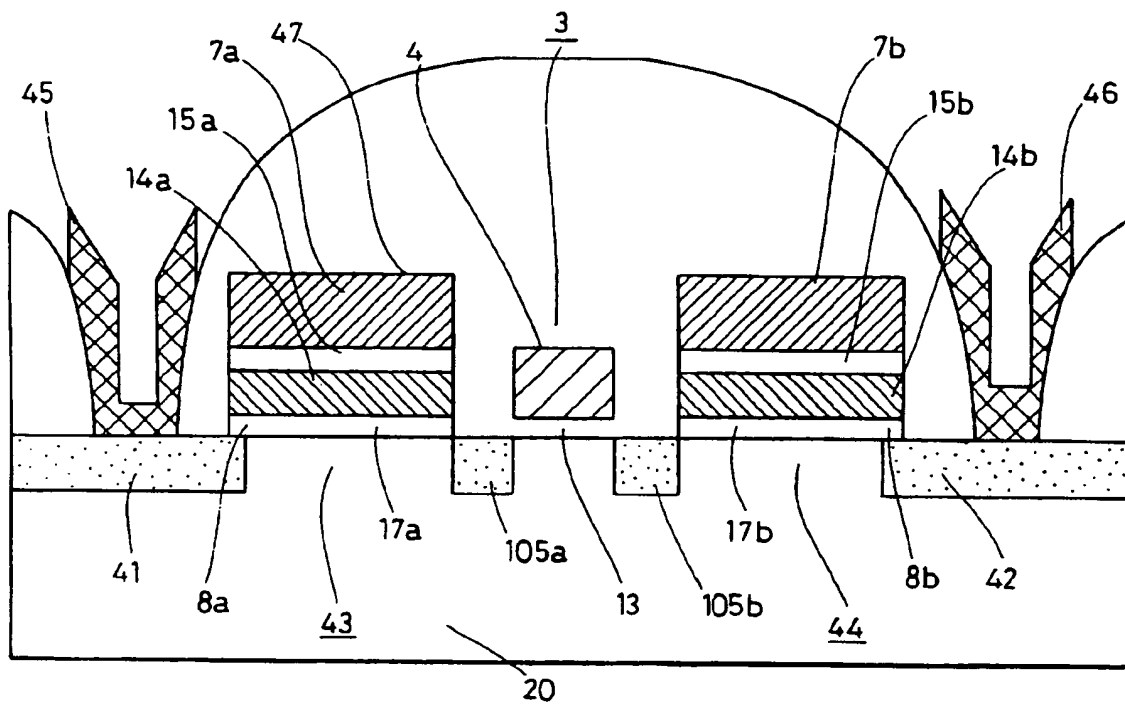


FIG. 16

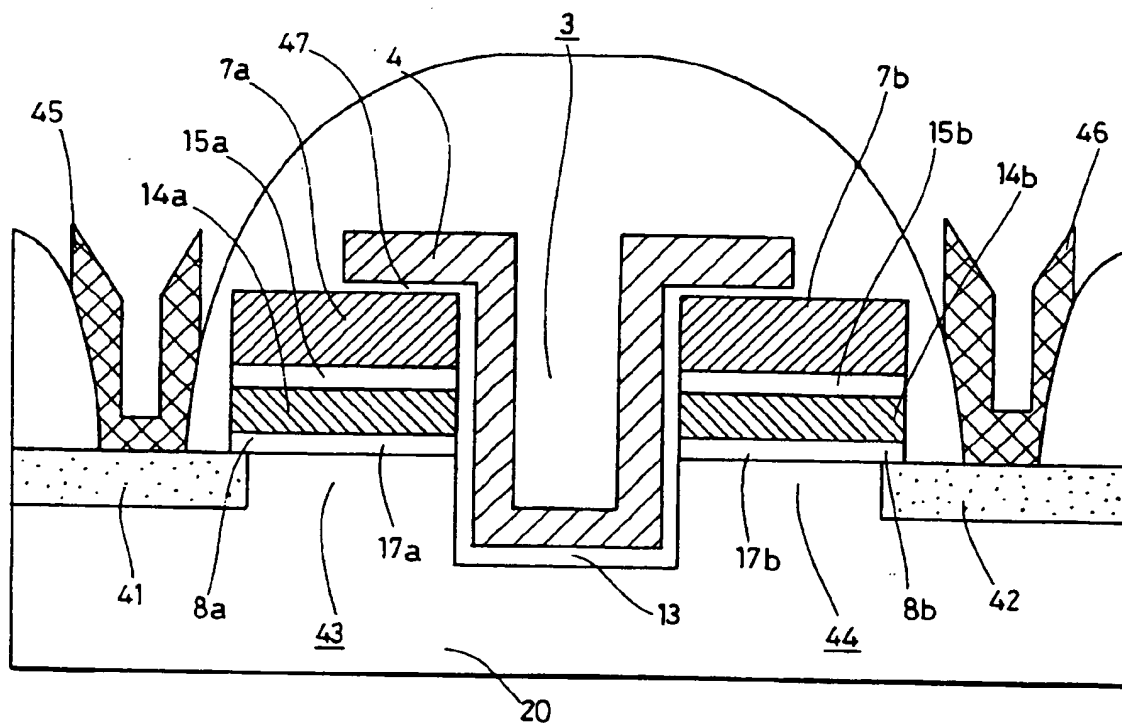
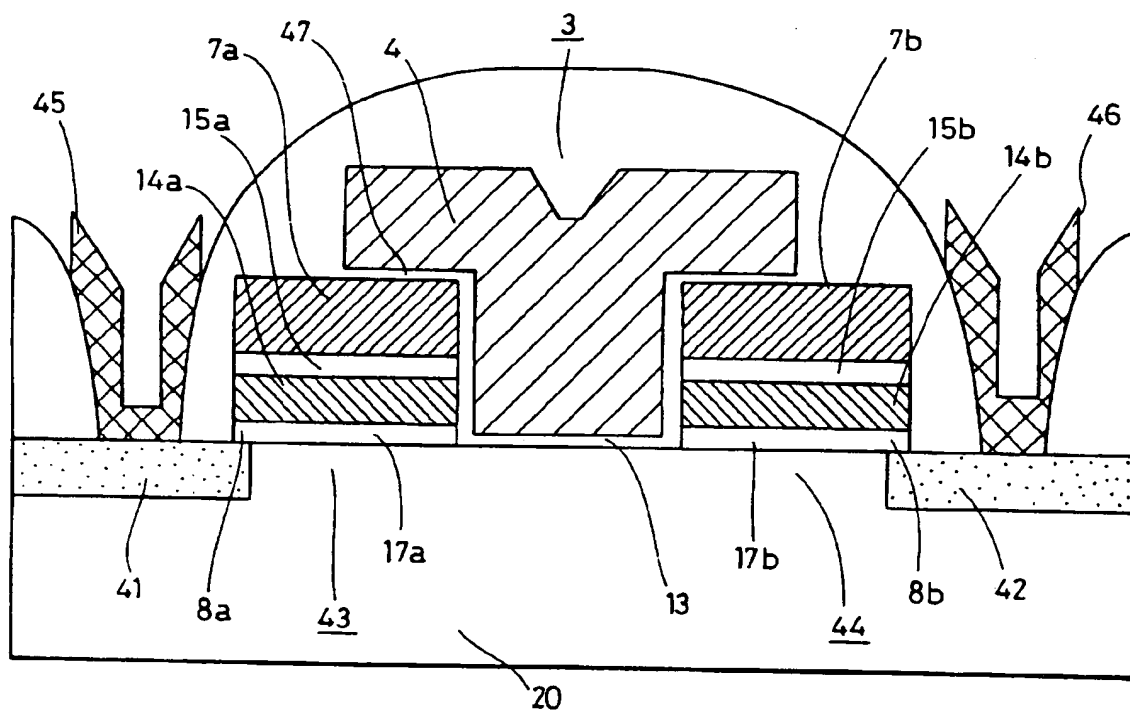


FIG. 17



308 015/488

FIG. 18

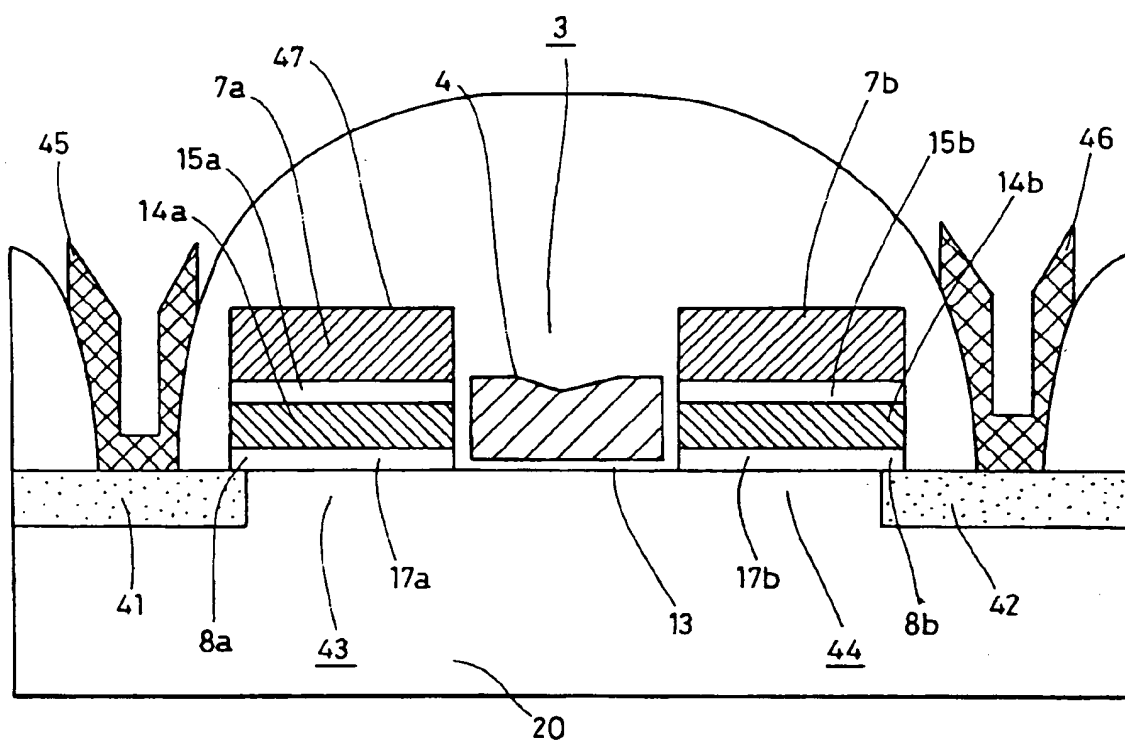


FIG. 19

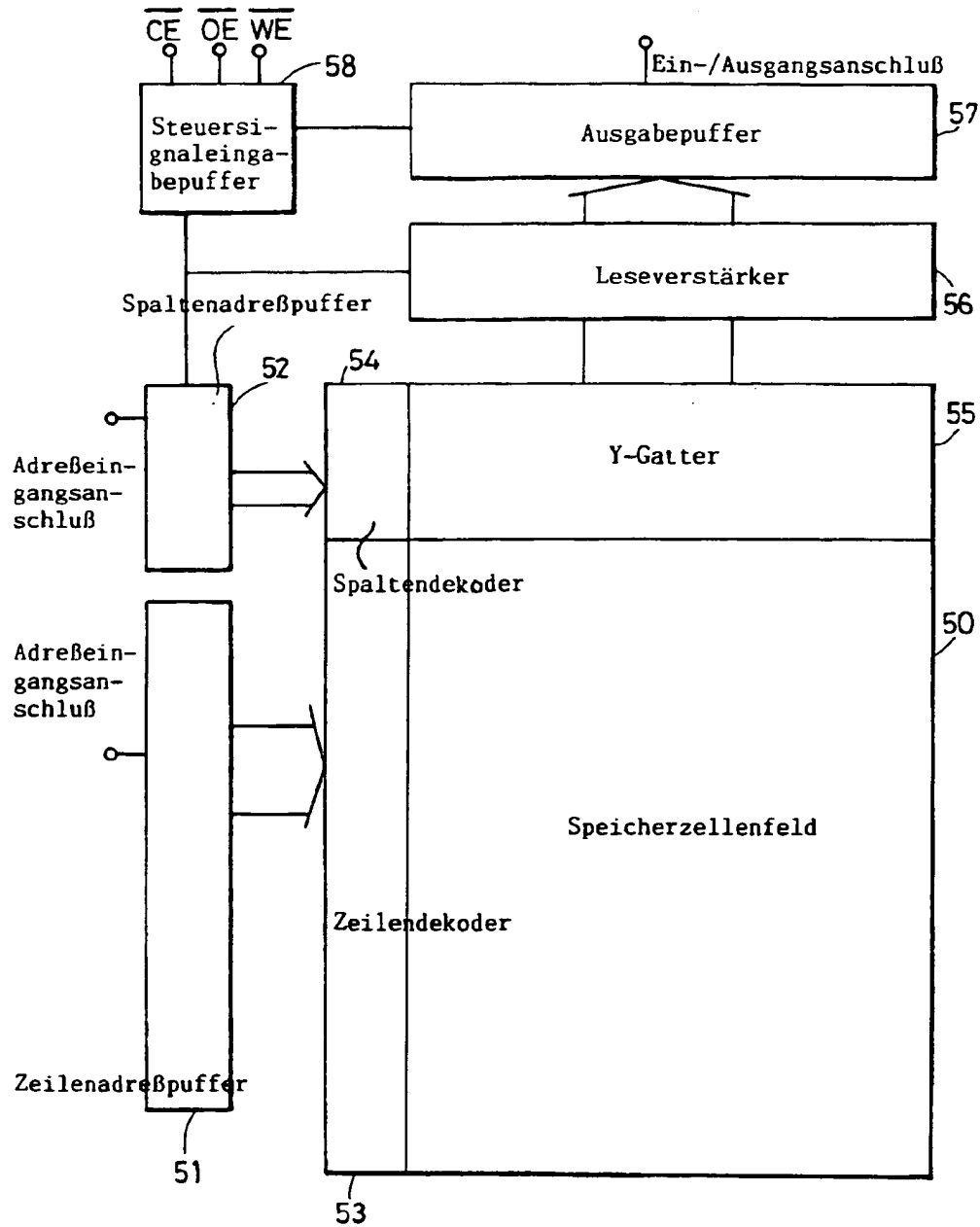
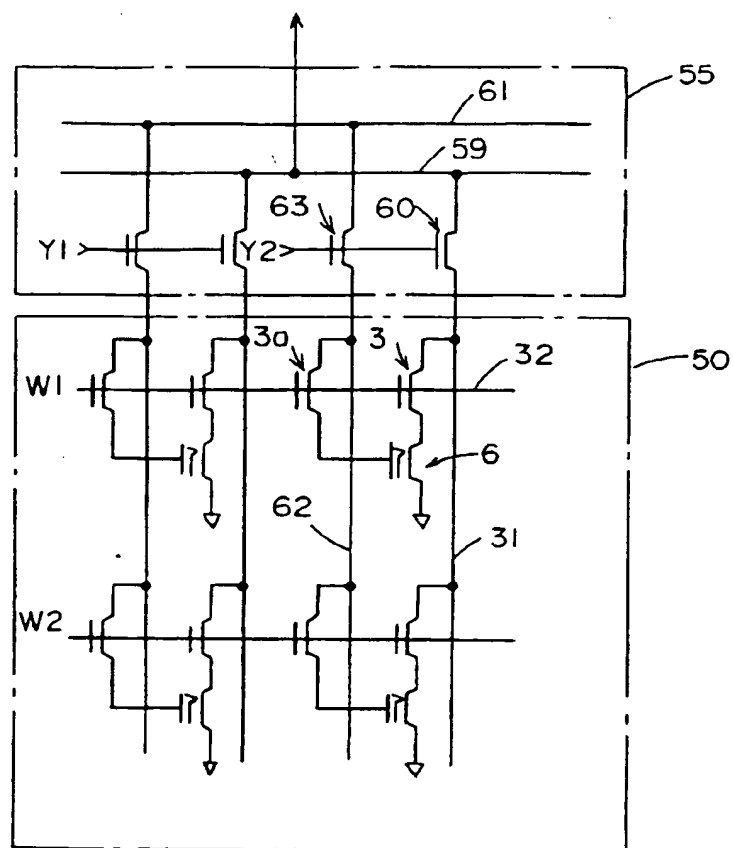


FIG. 20

Zum Leseverstärker



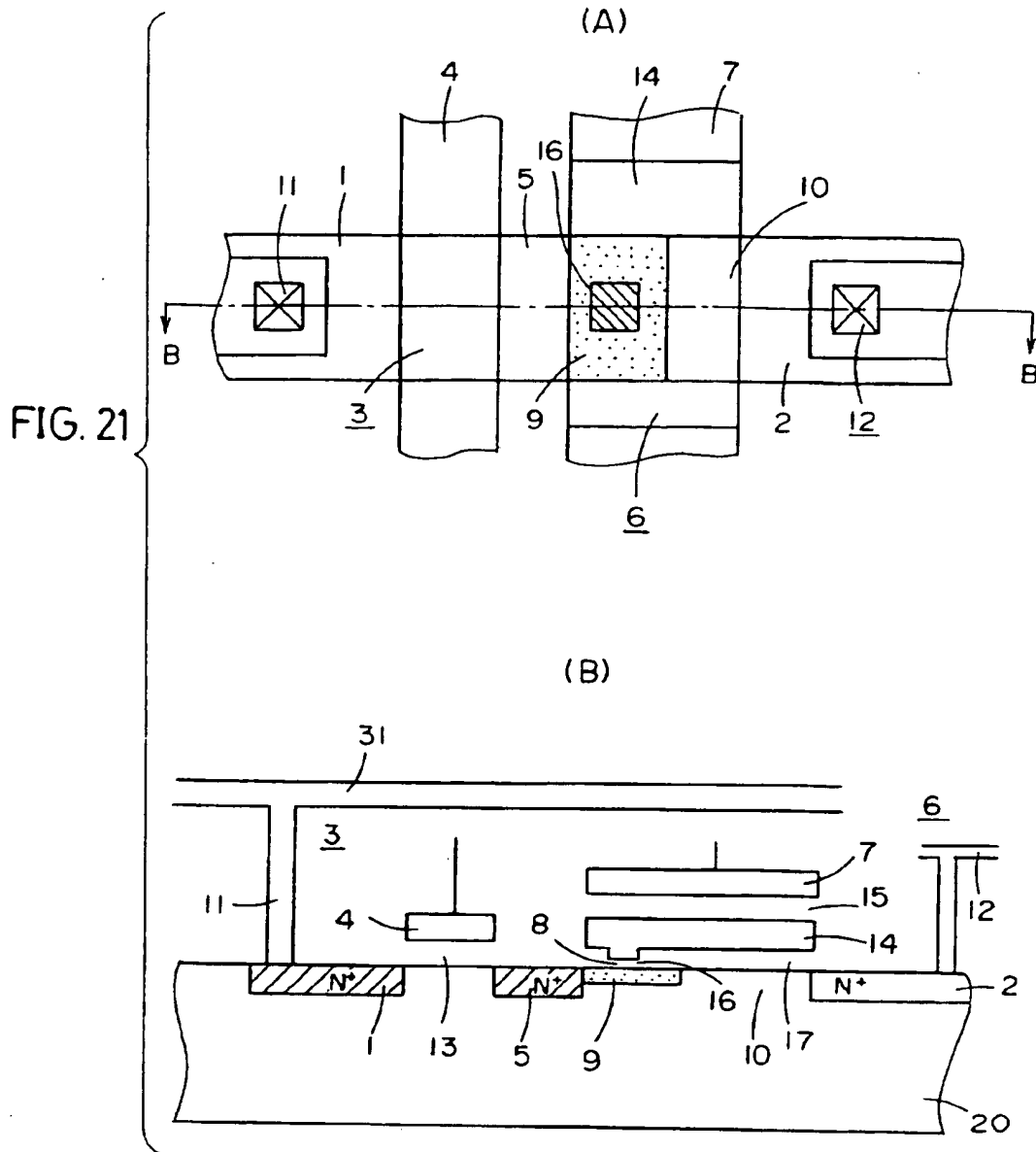


FIG. 22

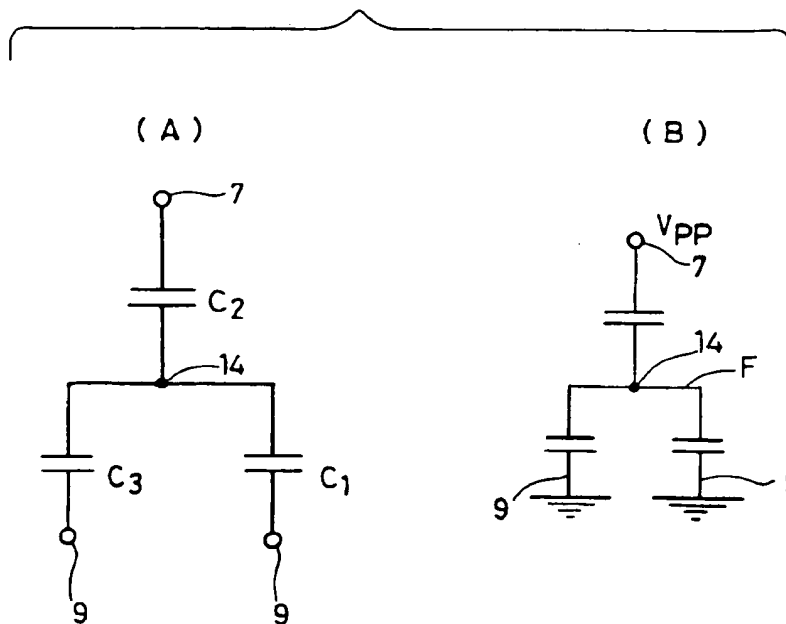


FIG. 23

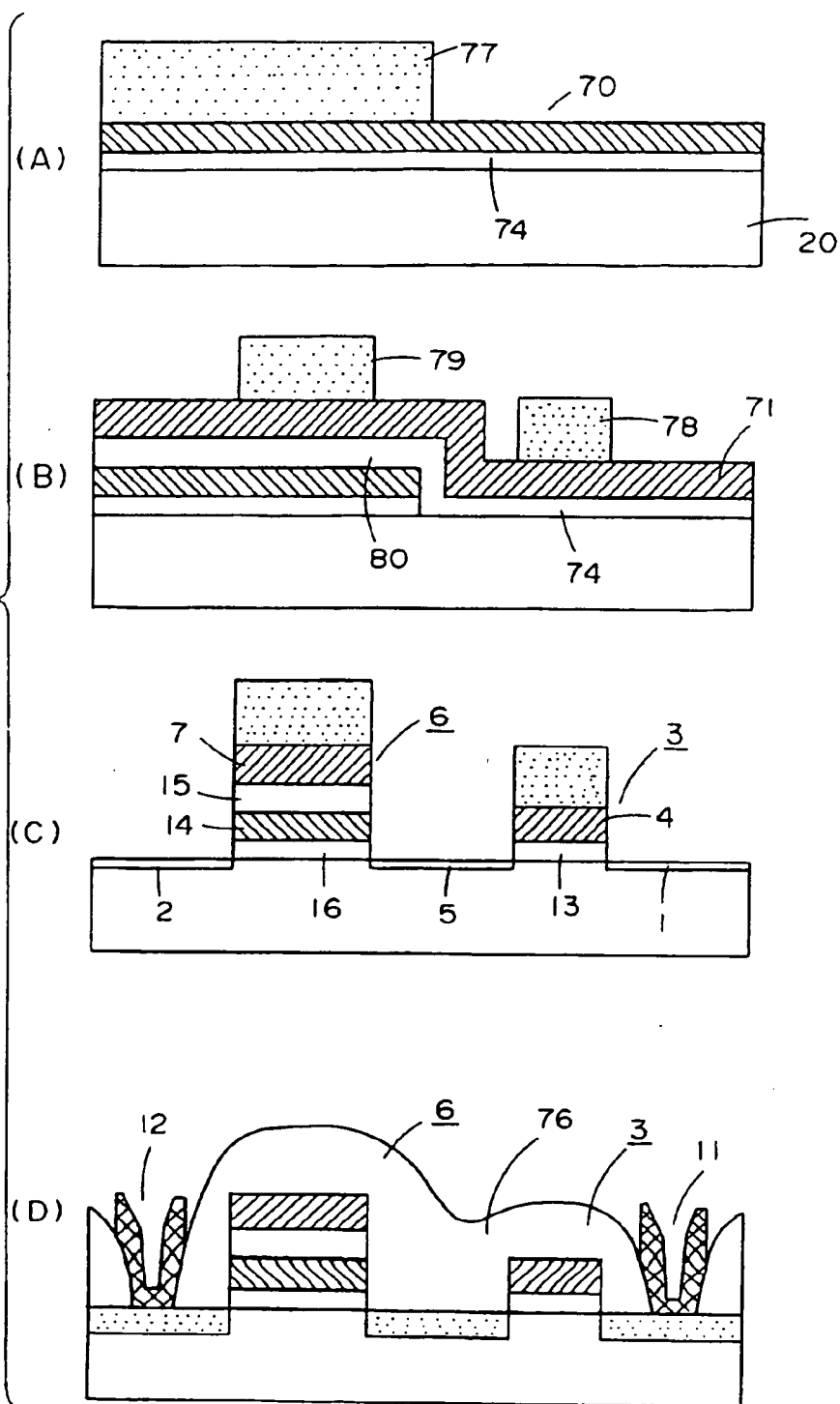


FIG. 24

